

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-289703

(43)Date of publication of application : 04.10.2002

(51)Int.Cl.

H01L 21/8244

H01L 27/10

H01L 27/11

(21)Application number : 2002-011504

(71)Applicant : NEC CORP

(22)Date of filing : 21.01.2002

(72)Inventor : NATSUME HIDETAKA

(30)Priority

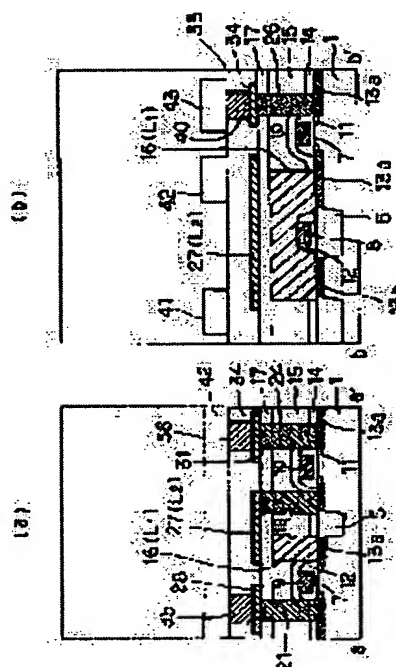
Priority number : 2001013330 Priority date : 22.01.2001 Priority country : JP

(54) SEMICONDUCTOR MEMORY AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technique by which a memory cell size of an SRAM can be easily reduced without remarkably increasing the number of steps, and to improve the soft error resistance of the SRAM due to alpha rays.

SOLUTION: In a semiconductor memory having the SRAM where a memory cell is constituted of a flip flop circuit, which comprises a pair of drive transistors and a pair of load transistors, and a pair of transfer transistors, each gate electrode of the drive transistors, the load transistors and the transfer transistors is constituted by using a first conductive film wiring formed by using a first conductive film provided on a semiconductor substrate, and one side of a pair of local wirings which are cross-coupled between a pair of input- output terminals of the flip flop circuit is constituted by using an embedding groove wiring which includes the gate electrodes and is formed in a first insulating film provided on the semiconductor substrate, and the other of the pair of local wirings is constituted of a second conductive film wiring formed by using a second conductive film provided via the second insulating film on the first insulating film including the embedding groove wiring.



LEGAL STATUS

[Date of request for examination] 21.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Best Available Copy

Copyright (C): 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-289703

(P2002-289703A)

(43)公開日 平成14年10月4日(2002.10.4)

(51)IntCl ¹	識別記号	F I	ページ数(参考)
H 0 1 L 21/8244		H 0 1 L 27/10	4 9 1 5 F 0 8 3
27/10	4 9 1		3 8 1
27/11			

審査請求 有 請求項の数19 O L (全 29 頁)

(21)出願番号	特願2002-11504(P2002-11504)
(22)出願日	平成14年1月21日(2002.1.21)
(31)優先権主張番号	特願2001-13330(P2001-13330)
(32)優先日	平成13年1月22日(2001.1.22)
(33)優先権主張国	日本(J P)

(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(72)発明者	夏目 秀隆 東京都港区芝五丁目7番1号 日本電気株式会社内
(74)代理人	100088328 弁理士 金田 暢之 (外2名)

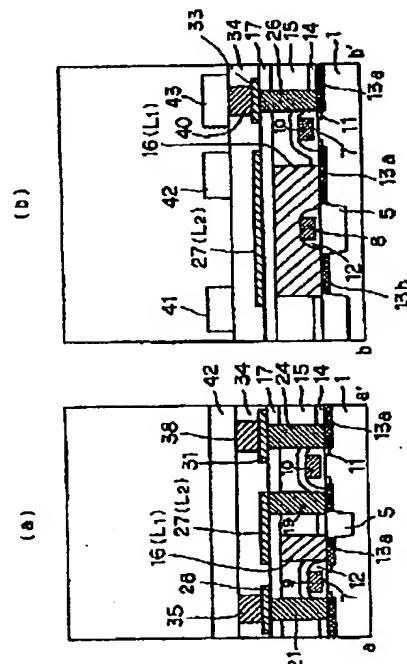
最終頁に続く

(54)【発明の名称】 半導体記憶装置およびその製造方法

(57)【要約】

【課題】 工程数を著しく増大させることなく、容易に、SRAMのメモリセルサイズを縮小可能な技術を提供する。また、SRAMの α 線ソフトエラー耐性を向上させる。

【解決手段】 一対の駆動トランジスタ及び一対の負荷トランジスタを備えたフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するSRAMを有する半導体記憶装置において、半導体基板上に設けた第1導電膜で形成された第1導電膜配線で、前記の駆動トランジスタ、負荷トランジスタ及び転送トランジスタのそれぞれのゲート電極を構成し、前記ゲート電極を含む半導体基板上に設けた第1絶縁膜に形成した埋込溝配線で、前記フリップフロップ回路の一対の入出力端子間を交差結合する一対のローカル配線の一方を構成し、前記埋込溝配線を含む前記第1絶縁膜上に第2絶縁膜を介して設けた第2導電膜で形成された第2導電膜配線で、前記一対のローカル配線他方を構成する。



1

【特許請求の範囲】

【請求項1】 一対の駆動トランジスタ及び一対の負荷トランジスタを備えたフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するSRAMを有する半導体記憶装置であって、

半導体基板上に設けた第1導電体で形成された第1配線で、前記の駆動トランジスタ、負荷トランジスタ及び転送トランジスタのそれぞれのゲート電極が構成され、前記半導体基板上に設けた第1絶縁膜に形成された溝内の第2導電体を含む第2配線で、前記フリップフロップ回路の一対の入出力端子間を交差結合する一対のローカル配線的一方が構成され、

前記第2配線上を含む領域に設けた第2絶縁膜を介して設けられた第3配線で、前記一対のローカル配線の他方が構成され、

前記第2配線および前記第3配線のいずれか一方は、前記溝内を埋め込むように形成された埋込導電部を有することを特徴とする半導体記憶装置。

【請求項2】 前記第2配線と前記第3配線とは前記第2絶縁膜を介して重なる部分を有し、前記第2配線と前記第3配線とそれらの間に介在する前記第2絶縁膜とで容量素子が構成されている請求項1記載の半導体記憶装置。

【請求項3】 前記第2導電体は、前記一対の駆動トランジスタのうち一方の第1駆動トランジスタを構成するドレイン領域と、前記一対の負荷トランジスタのうち一方の負荷トランジスタであって前記第1駆動トランジスタと共通の第1配線Aで構成されるゲート電極をもつ第1負荷トランジスタを構成するドレイン領域と、他方の第2駆動トランジスタ及び他方の第2負荷トランジスタのゲート電極を構成する第1配線Bとに接触するように配置され、

前記第3配線は、前記第1配線Aに接続するコンタクト部と、前記第2駆動トランジスタのドレイン領域に接続するコンタクト部と、前記第2負荷トランジスタのドレイン領域に接続するコンタクト部とに接している請求項1又は2記載の半導体記憶装置。

【請求項4】 一対の駆動トランジスタ及び一対の負荷トランジスタを備えたフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するSRAMを有する半導体記憶装置であって、

半導体基板上に設けた第1導電膜で形成された第1導電膜配線で、前記の駆動トランジスタ、負荷トランジスタ及び転送トランジスタのそれぞれのゲート電極が構成され、

前記半導体基板上に設けられた第1絶縁膜に形成された埋込溝配線で、前記フリップフロップ回路の一対の入出力端子間を交差結合する一対のローカル配線的一方が構成され、

前記第1絶縁膜上に第2絶縁膜を介して設けられた第2

2

導電膜で形成された第2導電膜配線で、前記一対のローカル配線の他方が構成されることを特徴とする半導体記憶装置。

【請求項5】 前記第2導電膜配線が、前記埋込溝配線の上面の少なくとも一部と前記第2絶縁膜を介して重なるように配置され、前記埋込溝配線と前記第2導電膜配線とそれらの間に介在する前記第2絶縁膜とで容量素子が構成されている請求項4記載の半導体記憶装置。

【請求項6】 前記第2導電膜配線が、前記埋込溝配線の側面の一部を前記第2絶縁膜を介して覆うように配置され、前記埋込溝配線と前記第2導電膜配線とそれらの間に介在する前記第2絶縁膜とで容量素子が構成されている請求項5記載の半導体記憶装置。

【請求項7】 前記埋込溝配線は、前記一対の駆動トランジスタのうち一方の第1駆動トランジスタを構成するドレイン領域と、前記一対の負荷トランジスタのうち一方の負荷トランジスタであって前記第1駆動トランジスタと共通の第1導電膜配線Aで構成されるゲート電極をもつ第1負荷トランジスタを構成するドレイン領域と、他方の第2駆動トランジスタ及び他方の第2負荷トランジスタのゲート電極を構成する第1導電膜配線Bとに接触するように配置され、

前記第2導電膜配線は、前記第1導電膜配線Aに達するコンタクト部と、前記第2駆動トランジスタのドレイン領域に達するコンタクト部と、前記第2負荷トランジスタのドレイン領域に達するコンタクト部とに接している請求項4、5又は6記載の半導体記憶装置。

【請求項8】 前記第1導電膜配線Bは、前記第2駆動トランジスタのドレイン領域と前記第2負荷トランジスタのドレイン領域との間で分岐し、この分岐した配線部分が前記埋込溝配線と接触している請求項7記載の半導体記憶装置。

【請求項9】 前記の分岐した配線部分と前記埋込溝配線との接触領域は、基板上面から見て、前記第1導電膜配線Aに達するコンタクト部、前記第2駆動トランジスタのドレイン領域に達するコンタクト部、および前記第2負荷トランジスタのドレイン領域に達するコンタクト部のいずれからも等距離にある点を含んでいることを特徴とする請求項8記載の半導体記憶装置。

【請求項10】 一対の駆動トランジスタ及び一対の負荷トランジスタを備えたフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するSRAMを有する半導体記憶装置であって、

半導体基板上に設けた第1導電膜で形成された第1導電膜配線で、前記の駆動トランジスタ、負荷トランジスタ及び転送トランジスタのそれぞれのゲート電極が構成され、

前記半導体基板上に設けられた第1絶縁膜に形成された埋込溝配線および該埋込溝配線上に設けられたスタック電極で、前記フリップフロップ回路の一対の入出力端子

間を交差結合する一対のローカル配線の一方が構成され、

前記第1絶縁膜上に第2絶縁膜を介して設けられた第2導電膜で形成された第2導電膜配線で、前記一対のローカル配線の他方が構成され、

前記第2導電膜配線は、前記スタック電極の少なくとも上面の一部および側面の一部と前記第2絶縁膜を介して重なるように配置され、前記スタック電極と前記第2導電膜配線とそれらの間に介在する前記第2絶縁膜とで容量素子が構成されていることを特徴とする半導体記憶装置。

【請求項11】 一対の駆動トランジスタ及び一対の負荷トランジスタを備えたフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するSRAMを有する半導体記憶装置であって、

半導体基板上に設けた第1導電膜で形成された第1導電膜配線で、前記の駆動トランジスタ、負荷トランジスタ及び転送トランジスタのそれぞれのゲート電極が構成され、

前記半導体基板上に設けられた第1絶縁膜に形成された埋込溝配線で、前記フリップフロップ回路の一対の入出力端子間を交差結合する一対のローカル配線の一方が構成され、

前記第1絶縁膜上に設けられた第3絶縁膜に形成された溝内に、その底部において前記埋込溝配線と接する溝内電極膜を有し、

前記第3絶縁膜上に第2絶縁膜を介して設けられた第2導電膜および前記溝内に前記溝内電極膜および前記第2絶縁膜を介して埋め込まれた埋込電極で、前記一対のローカル配線の他方が構成され、

前記埋込電極と前記溝内電極膜とそれらの間に介在する前記第2絶縁膜とで容量素子が構成されていることを特徴とする半導体記憶装置。

【請求項12】 一対の駆動トランジスタ及び一対の負荷トランジスタを備えたフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するSRAMを有する半導体記憶装置であって、

半導体基板上に設けた第1導電膜で形成された第1導電膜配線で、前記の駆動トランジスタ、負荷トランジスタ及び転送トランジスタのそれぞれのゲート電極が構成され、

前記半導体基板上に設けられた第1絶縁膜に形成された溝内に導電膜を有し、該溝内導電膜で、前記フリップフロップ回路の一対の入出力端子間を交差結合する一対のローカル配線の一方が構成され、

前記第1絶縁膜上に第2絶縁膜を介して設けられた第2導電膜および前記溝内に前記溝内電極膜および前記第2絶縁膜を介して埋め込まれた埋込電極で、前記一対のローカル配線の他方が構成され、

前記埋込電極と前記溝内導電膜とそれらの間に介在する

前記第2絶縁膜とで容量素子が構成されていることを特徴とする半導体記憶装置。

【請求項13】 前記一対の駆動トランジスタ、前記一対の負荷トランジスタ及び前記一対の転送トランジスタのそれぞれのゲート電極、ソース領域及びドレイン領域の表面に高融点金属シリサイド層が形成されている請求項1～12のいずれか1項に記載の半導体記憶装置。

【請求項14】 一対の駆動トランジスタ及び一対の負荷トランジスタを備えたフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するSRAMを有する半導体記憶装置の製造方法であって、

半導体基板上に、前記駆動トランジスタ、前記負荷トランジスタ及び前記転送トランジスタのそれぞれのソース領域及びドレイン領域を形成するための活性領域を形成する工程と、

前記駆動トランジスタ、前記負荷トランジスタ及び前記転送トランジスタのそれぞれのゲート電極を構成する配線として、前記半導体基板上に第1導電膜を形成した後、この第1導電膜をパターニングして第1導電膜配線を形成する工程と、

前記フリップフロップ回路の一対の入出力端子間を交差結合する一対のローカル配線の一方の配線として、前記半導体基板上に第1絶縁膜を形成した後、この第1絶縁膜に埋込溝配線を形成する工程と、

前記一対のローカル配線の他方の配線として、前記第1絶縁膜上に第2絶縁膜を形成した後、第2導電膜を形成し、この第2導電膜をパターニングして第2導電膜配線を形成する工程、を含むことを特徴とする半導体記憶装置の製造方法。

【請求項15】 前記第2導電膜配線を、前記埋込溝配線の上面の少なくとも一部と前記第2絶縁膜を介して重なるように配置し、前記埋込溝配線と前記第2導電膜配線とそれらの間に介在する前記第2絶縁膜とで容量素子を構成する請求項14記載の半導体記憶装置の製造方法。

【請求項16】 一対の駆動トランジスタ及び一対の負荷トランジスタを備えたフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するSRAMを有する半導体記憶装置の製造方法であって、

半導体基板上に、前記駆動トランジスタ、前記負荷トランジスタ及び前記転送トランジスタのそれぞれのソース領域及びドレイン領域を形成するための活性領域を形成する工程と、

前記駆動トランジスタ、前記負荷トランジスタ及び前記転送トランジスタのそれぞれのゲート電極を構成する配線として、前記半導体基板上に第1導電膜を形成した後、この第1導電膜をパターニングして第1導電膜配線を形成する工程と、

前記フリップフロップ回路の一対の入出力端子間を交差結合する一対のローカル配線の一方の配線として、前記

半導体基板上に第1絶縁膜を形成した後、この第1絶縁膜に埋込溝配線を形成する工程と、
前記埋込溝配線の側面の一部を露出させる工程と、
前記埋込溝配線の露出部および前記第1絶縁膜上に第2絶縁膜を形成した後、第2導電膜を形成し、この第2導電膜を前記埋込溝配線の側面の一部及び上面と前記第2絶縁膜を介して重なるようにパターンニングして、前記一対のローカル配線の他方の配線を構成する第2導電膜配線を形成し、前記埋込溝配線の側面の一部及び上面と前記第2導電膜配線とそれらの間に介在する前記第2絶縁膜とで構成される容量素子を形成する工程、を含むことを特徴とする半導体記憶装置の製造方法。

【請求項17】 前記埋込溝配線は、前記一対の駆動トランジスタのうちの一方向の第1駆動トランジスタを構成するドレイン領域と、前記一対の負荷トランジスタのうちの一方向の負荷トランジスタであって第1駆動トランジスタと共通の第1導電膜配線Aで構成されるゲート電極をもつ第1負荷トランジスタを構成するドレイン領域と、他方の第2駆動トランジスタ及び他方の第2負荷トランジスタのゲート電極を構成する第1導電膜配線Bとに接触するように形成し、
前記第2導電膜配線は、前記第1導電膜配線Aに達するコンタクト孔と、前記第2駆動トランジスタのドレイン領域に達するコンタクト孔と、前記第2負荷トランジスタのドレイン領域に達するコンタクト孔とを同時に形成した後これらのコンタクト孔に導電性材料を埋め込んで形成したコンタクト部のいずれにも接触するように形成する請求項14、15又は16記載の半導体記憶装置の製造方法。

【請求項18】 前記第1導電膜配線Bを、前記第2駆動トランジスタのドレイン領域と前記第2負荷トランジスタのドレイン領域との間で分岐した形状になるように形成し、前記埋込溝配線を、この分岐した配線部分に接触するように形成する請求項17記載の半導体記憶装置の製造方法。

【請求項19】 前記一対の駆動トランジスタ、前記一対の負荷トランジスタ及び前記一対の転送トランジスタのそれぞれのソース領域及びドレイン領域の表面ならびにゲート電極を構成する前記第1導電膜配線の表面に高融点金属シリサイド層を形成する工程を有する請求項14~18のいずれか一項に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体記憶装置およびその製造方法に関し、より詳しくはSRAM（スタティックランダムアクセスメモリ：Static Random Access Memory）を有する半導体記憶装置およびその製造方法に関する。

【0002】

【従来の技術】 半導体記憶素子であるSRAMメモリセルの基本的な構造について図面を用いて説明する。

【0003】 SRAMメモリセルは、図22の回路図に示すように、情報蓄積部としてのフリップフロップ回路、及び情報の書き込み・読み出しを行うデータ線（ビット線BL₁、BL₂）とフリップフロップ回路との導通を制御する一対の転送トランジスタT₁、T₂で構成されている。そして、フリップフロップ回路は、例えば一対のCMOSインバータで構成され、それぞれのCMOSインバータは、一つの駆動トランジスタD₁（D₂）と一つの負荷トランジスタP₁（P₂）で構成される。

【0004】 転送トランジスタT₁（T₂）のソース／ドレイン領域の一方は、負荷トランジスタP₁（P₂）及び駆動トランジスタD₁（D₂）のドレインに接続され、他方はビット線BL₁（BL₂）に接続されている。また、一対の転送トランジスタT₁、T₂のゲートはそれぞれワード線WLの一部を構成し、互いに接続されている。

【0005】 一方のCMOSインバータを構成する駆動トランジスタD₁及び負荷トランジスタP₁のゲートは、他方のCMOSインバータを構成する駆動トランジスタD₂及び負荷トランジスタP₂のドレイン（蓄積ノードN₁）に接続されている。また、この後者のCMOSインバータを構成する駆動トランジスタD₂及び負荷トランジスタP₂のゲートは、前者のCMOSインバータを構成する駆動トランジスタD₁及び負荷トランジスタP₁のドレイン（蓄積ノードN₂）に接続されている。このように、一対のCMOSインバータ間において、一方のCMOSインバータの入出力部と他方のCMOSインバータのゲートとが互いにローカル配線（局所配線）と呼ばれる一対の配線L₁、L₂を介してクロスカップル（交差結合）されている。

【0006】 そして、駆動トランジスタD₁、D₂のソース領域には、基準電圧（V_{ss}、例えばGND）が供給され、負荷トランジスタP₁、P₂のソース領域には、電源電圧（V_{cc}）が供給される。

【0007】 以上に説明したSRAMセルは、ノイズに強く、待機時の消費電力が小さい等の優れた素子特性を有する。また、従来、この種のSRAMセルは、素子特性の点から、できるだけ素子構造の対称性を損なわないように（すなわち、アンバランス性を抑えるように）材料の選択やレイアウトがなされている。

【0008】 しかしながら、上述のSRAMセルは、1メモリセルに6トランジスタが必要なこと、多数の配線が必要なこと、及び同一セル内にp型MOSとn型MOSとの素子分離が必要であることから、セル面積が大きくなりやすいという問題を有している。また、製造においては工程数が多いという問題を有している。

【0009】 従来、6トランジスタ形SRAMセルの構造や製造方法については種々の提案がなされている。

【0010】 例えば、M.Inohara et al., Symp. on VLS

I Tech., p.64 (1998) には、一対のローカル配線のいずれもメタルダマシンプロセスで形成する方法が記載されている。この方法では、互いに異なる層に埋込溝配線であるタングステン(W)ローカル配線を形成することによりクロスカップルを形成している。そして、基板の活性領域に達するWプラグと一方(下層)のローカル配線とを同時に開孔して形成しているため、フォトリソや工程数を増やすことなくSRAMメモリセルを作製できることが記載されている。しかしながら、この方法では、他方(上層)のローカル配線を形成するには、下層のローカル配線との接触を避けるように配置しなければならず、十分なセルサイズの縮小化は達成されていない。

【0011】また、特開平11-251457号公報には、6トランジスタ形セルの製造において、一対のローカル配線の両方をメタルダマシンプロセスで形成し、かつ同一層に配置することが記載されている。この方法においても、一対のローカル配線を相互に接触をさけるように配置する必要があるため、十分なセルサイズの縮小化は困難である。

【0012】一方、特開平9-260510号公報には、6トランジスタ形のSRAMメモリセルとして、メモリセルサイズの縮小と α 線ソフトエラー耐性の向上を目的とした、以下の素子構造が記載されている。また、同様な構成が、F. Ootsuka et al., IEDM, p.205 (1998) にも記載されている。

【0013】この構造は、クロスカップルを構成する一対のローカル配線が、異なる導電層をそれぞれエッチングして形成されたものであり、上層のローカル配線が下層のローカル配線と重なり合うように配置され、さらに、これらのローカル配線とこれらのローカル配線間に介在する絶縁膜(容量絶縁膜)とで容量素子が構成されている。

【0014】しかしながらこのような素子構造では、その製造において、一対のローカル配線のそれぞれに対してコンタクト孔を形成する必要があるため、工程数が多くなる。また、この構造では、ローカル配線がゲート電極の上部にまで薄い絶縁膜を介して比較的広範囲に配置されているが、このような凹凸が大きい基板表面に導電膜パターンを形成しようとする、異方性エッチング等による導電膜のパターニングの際、段差付近の導電膜を除去しにくい、不必要な箇所に導電膜が残留する等の問題が生じる。また、このような凹凸の大きい表面に、容量絶縁膜を形成しようとする、段差付近で膜厚が厚くなりやすく、段差付近の膜厚を薄くしようすると平坦部では薄くなりすぎて絶縁性を損なうといった問題が生じ、薄く且つ均一な容量絶縁膜を形成することは困難である。

【0015】

【発明が解決しようとする課題】そこで本発明の目的

は、工程数を著しく増大させることなく、容易に、SRAMのメモリセルサイズを縮小可能な技術を提供することにある。さらに、SRAMの α 線ソフトエラー耐性を向上させる技術を提供することにある。

【0016】

【課題を解決するための手段】本発明は、一対の駆動トランジスタ及び一対の負荷トランジスタを備えたフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するSRAMを有する半導体記憶装置であって、半導体基板上に設けた第1導電体で形成された第1配線で、前記の駆動トランジスタ、負荷トランジスタ及び転送トランジスタのそれぞれのゲート電極が構成され、前記半導体基板上に設けた第1絶縁膜に形成された溝内の第2導電体を含む第2配線で、前記フリップフロップ回路の一対の入出力端子間を交差結合する一対のローカル配線の一方が構成され、前記第2配線を含む領域に設けた第2絶縁膜を介して設けられた第3配線で、前記一対のローカル配線の他方が構成され、前記第2配線および前記第3配線のいずれか一方は、前記溝内を埋め込むように形成された埋込導電部を有することを特徴とする半導体記憶装置に関する。また本発明は、前記第2配線と前記第3配線とは前記第2絶縁膜を介して重なる部分を有し、前記第2配線と前記第3配線とそれらの間に介在する前記第2絶縁膜とで容量素子が構成されている上記の半導体記憶装置に関する。また本発明は、前記第2導電体は、前記一対の駆動トランジスタのうちの一方の第1駆動トランジスタを構成するドレイン領域と、前記一対の負荷トランジスタのうちの一方の負荷トランジスタであって前記第1駆動トランジスタと共通の第1配線Aで構成されるゲート電極をもつ第1負荷トランジスタを構成するドレイン領域と、他方の第2駆動トランジスタ及び他方の第2負荷トランジスタのゲート電極を構成する第1配線Bとに接触するように配置され、前記第3配線は、前記第1配線Aに接続するコンタクト部と、前記第2駆動トランジスタのドレイン領域に接続するコンタクト部と、前記第2負荷トランジスタのドレイン領域に接続するコンタクト部とに接している上記の半導体記憶装置に関する。また本発明は、一対の駆動トランジスタ及び一対の負荷トランジスタを備えたフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するSRAMを有する半導体記憶装置であって、半導体基板上に設けた第1導電膜で形成された第1導電膜配線で、前記の駆動トランジスタ、負荷トランジスタ及び転送トランジスタのそれぞれのゲート電極が構成され、前記半導体基板上に設けられた第1絶縁膜に形成された埋込溝配線で、前記フリップフロップ回路の一対の入出力端子間を交差結合する一対のローカル配線の一方が構成され、前記第1絶縁膜上に第2絶縁膜を介して設けられた第2導電膜で形成された第2導電膜配線とで、前記一対のローカル配線の他方が構成されることを

特徴とする半導体記憶装置に関する。

【0017】また本発明は、前記第2導電膜配線が、前記埋込溝配線の上面の少なくとも一部と前記第2絶縁膜を介して重なるように配置され、前記埋込溝配線と前記第2導電膜配線とそれらの間に介在する前記第2絶縁膜とで容量素子が構成されている上記の半導体記憶装置に関する。

【0018】また本発明は、前記第2導電膜配線が、前記埋込溝配線の側面の一部を前記第2絶縁膜を介して覆うように配置され、前記埋込溝配線と前記第2導電膜配線とそれらの間に介在する前記第2絶縁膜とで容量素子が構成されている上記の半導体記憶装置に関する。

【0019】また本発明は、前記埋込溝配線が、前記一対の駆動トランジスタのうち一方の第1駆動トランジスタを構成するドレイン領域と、前記一対の負荷トランジスタのうち一方の負荷トランジスタであって前記第1駆動トランジスタと共通の第1導電膜配線Aで構成されるゲート電極をもつ第1負荷トランジスタを構成するドレイン領域と、他方の第2駆動トランジスタ及び他方の第2負荷トランジスタのゲート電極を構成する第1導電膜配線Bとに接触するように配置され、前記第2導電膜配線は、前記第1導電膜配線Aに達するコンタクト部と、前記第2駆動トランジスタのドレイン領域に達するコンタクト部と、前記第2負荷トランジスタのドレイン領域に達するコンタクト部とに接している上記の半導体記憶装置に関する。

【0020】また本発明は、前記第1導電膜配線Bが、前記第2駆動トランジスタのドレイン領域と前記第2負荷トランジスタのドレイン領域との間で分岐し、この分岐した配線部分が前記埋込溝配線と接触している上記の半導体記憶装置に関する。

【0021】また本発明は、前記の分岐した配線部分と前記埋込溝配線との接触領域が、基板上面から見て、前記第1導電膜配線Aに達するコンタクト部、前記第2駆動トランジスタのドレイン領域に達するコンタクト部、および前記第2負荷トランジスタのドレイン領域に達するコンタクト部のいずれからも等距離にある点を含んでいることを特徴とする上記の半導体記憶装置に関する。

【0022】また本発明は、一対の駆動トランジスタ及び一対の負荷トランジスタを備えたフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するSRAMを有する半導体記憶装置であって、半導体基板上に設けた第1導電膜で形成された第1導電膜配線で、前記の駆動トランジスタ、負荷トランジスタ及び転送トランジスタのそれぞれのゲート電極が構成され、前記半導体基板上に設けられた第1絶縁膜に形成された埋込溝配線および該埋込溝配線上に設けられたスタック電極で、前記フリップフロップ回路の一対の入出力端子間を交差結合する一対のローカル配線の一方が構成され、前記第1絶縁膜上に第2絶縁膜を介して設けられた第2導電膜

電膜で形成された第2導電膜配線で、前記一対のローカル配線の他方が構成され、前記第2導電膜配線は、前記スタック電極の少なくとも上面の一部および側面の一部と前記第2絶縁膜を介して重なるように配置され、前記スタック電極と前記第2導電膜配線とそれらの間に介在する前記第2絶縁膜とで容量素子が構成されていることを特徴とする半導体記憶装置に関する。また本発明は、一対の駆動トランジスタ及び一対の負荷トランジスタを備えたフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するSRAMを有する半導体記憶装置であって、半導体基板上に設けた第1導電膜で形成された第1導電膜配線で、前記の駆動トランジスタ、負荷トランジスタ及び転送トランジスタのそれぞれのゲート電極が構成され、前記半導体基板上に設けられた第1絶縁膜に形成された埋込溝配線で、前記フリップフロップ回路の一対の入出力端子間を交差結合する一対のローカル配線の一方が構成され、前記第1絶縁膜上に設けられた第3絶縁膜に形成された溝内に、その底部において前記埋込溝配線と接する溝内電極膜を有し、前記第3絶縁膜上に第2絶縁膜を介して設けられた第2導電膜および前記溝内に前記溝内電極膜および前記第2絶縁膜を介して埋め込まれた埋込電極で、前記一対のローカル配線の他方が構成され、前記埋込電極と前記溝内電極膜とそれらの間に介在する前記第2絶縁膜とで容量素子が構成されていることを特徴とする半導体記憶装置に関する。また本発明は、一対の駆動トランジスタ及び一対の負荷トランジスタを備えたフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するSRAMを有する半導体記憶装置であって、半導体基板上に設けた第1導電膜で形成された第1導電膜配線で、前記の駆動トランジスタ、負荷トランジスタ及び転送トランジスタのそれぞれのゲート電極が構成され、前記半導体基板上に設けられた第1絶縁膜に形成された溝内に導電膜を有し、該溝内導電膜で、前記フリップフロップ回路の一対の入出力端子間を交差結合する一対のローカル配線の一方が構成され、前記第1絶縁膜上に第2絶縁膜を介して設けられた第2導電膜および前記溝内に前記溝内電極膜および前記第2絶縁膜を介して埋め込まれた埋込電極で、前記一対のローカル配線の他方が構成され、前記埋込電極と前記溝内導電膜とそれらの間に介在する前記第2絶縁膜とで容量素子が構成されていることを特徴とする半導体記憶装置に関する。また本発明は、前記一対の駆動トランジスタ、前記一対の負荷トランジスタ及び前記一対の転送トランジスタのそれぞれのゲート電極、ソース領域及びドレイン領域の表面に高融点金属シリサイド層が形成されている上記の半導体記憶装置に関する。

【0023】また本発明は、一対の駆動トランジスタ及び一対の負荷トランジスタを備えたフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するSRAMを有する半導体記憶装置の製造方法であって、

半導体基板上に、前記駆動トランジスタ、前記負荷トランジスタ及び前記転送トランジスタのそれぞれのソース領域及びドレイン領域を形成するための活性領域を形成する工程と、前記駆動トランジスタ、前記負荷トランジスタ及び前記転送トランジスタのそれぞれのゲート電極を構成する配線として、前記半導体基板上に第1導電膜を形成した後、この第1導電膜をパターンニングして第1導電膜配線を形成する工程と、前記フリップフロップ回路の一对の入出力端子間を交差結合する一对のローカル配線の一方の配線として、前記半導体基板上に第1絶縁膜を形成した後、この第1絶縁膜に埋込溝配線を形成する工程と、前記一对のローカル配線の他方の配線として、前記第1絶縁膜上に第2絶縁膜を形成した後、第2導電膜を形成し、この第2導電膜をパターンニングして第2導電膜配線を形成する工程、を含むことを特徴とする半導体記憶装置の製造方法に関する。

【0024】また本発明は、前記第2導電膜配線を、前記埋込溝配線の上面の少なくとも一部と前記第2絶縁膜を介して重なるように配置し、前記埋込溝配線と前記第2導電膜配線とそれらの間に介在する前記第2絶縁膜とで容量素子を構成する上記の半導体記憶装置の製造方法に関する。

【0025】また本発明は、一对の駆動トランジスタ及び一对の負荷トランジスタを備えたフリップフロップ回路と一对の転送トランジスタとでメモリセルを構成するSRAMを有する半導体記憶装置の製造方法であって、半導体基板上に、前記駆動トランジスタ、前記負荷トランジスタ及び前記転送トランジスタのそれぞれのソース領域及びドレイン領域を形成するための活性領域を形成する工程と、前記駆動トランジスタ、前記負荷トランジスタ及び前記転送トランジスタのそれぞれのゲート電極を構成する配線として、前記半導体基板上に第1導電膜を形成した後、この第1導電膜をパターンニングして第1導電膜配線を形成する工程と、前記フリップフロップ回路の一对の入出力端子間を交差結合する一对のローカル配線の一方の配線として、前記半導体基板上に第1絶縁膜を形成した後、この第1絶縁膜に埋込溝配線を形成する工程と、前記埋込溝配線の側面の一部を露出させる工程と、前記埋込溝配線の露出部および前記第1絶縁膜上に第2絶縁膜を形成した後、第2導電膜を形成し、この第2導電膜を前記埋込溝配線の側面の一部及び上面と前記第2絶縁膜を介して重なるようにパターンニングして、前記一对のローカル配線の他方の配線を構成する第2導電膜配線を形成し、前記埋込溝配線の側面の一部及び上面と前記第2導電膜配線とそれらの間に介在する前記第2絶縁膜とで構成される容量素子を形成する工程、を含むことを特徴とする半導体記憶装置の製造方法に関する。

【0026】また本発明は、前記埋込溝配線を、前記一对の駆動トランジスタのうちの一方の第1駆動トランジ

スタを構成するドレイン領域と、前記一对の負荷トランジスタのうちの一方の負荷トランジスタであって第1駆動トランジスタと共通の第1導電膜配線Aで構成されるゲート電極をもつ第1負荷トランジスタを構成するドレイン領域と、他方の第2駆動トランジスタ及び他方の第2負荷トランジスタのゲート電極を構成する第1導電膜配線Bとに接触するように形成し、前記第2導電膜配線は、前記第1導電膜配線Aに達するコンタクト孔と、前記第2駆動トランジスタのドレイン領域に達するコンタクト孔と、前記第2負荷トランジスタのドレイン領域に達するコンタクト孔とを同時に形成した後これらのコンタクト孔に導電性材料を埋め込んで形成したコンタクト部のいずれにも接触するように形成する上記の半導体記憶装置の製造方法に関する。

【0027】また本発明は、前記第1導電膜配線Bを、前記第2駆動トランジスタのドレイン領域と前記第2負荷トランジスタのドレイン領域との間で分岐した形状になるように形成し、前記埋込溝配線を、この分岐した配線部分に接触するように形成する上記の半導体記憶装置の製造方法に関する。

【0028】また本発明は、前記一对の駆動トランジスタ、前記一对の負荷トランジスタ及び前記一对の転送トランジスタのそれぞれのソース領域及びドレイン領域の表面ならびにゲート電極を構成する前記第1導電膜配線の表面に高融点金属シリサイド層を形成する工程を有する上記の半導体記憶装置の製造方法に関する。

【0029】本発明によれば、一对のローカル配線を異なる導電層で形成することにより、ローカル配線同士を部分的に重なり合うように配置することができるため、メモリセルの占有面積を縮小することができる。

【0030】また本発明によれば、ローカル配線の一方とローカル配線の他方とこれらの間に介在する絶縁膜とで容量素子を構成することができるため、メモリセルサイズの微細化や動作電圧の低下に伴う α 線ソフトエラー耐性の低下を防ぐことができる。

【0031】また本発明によれば、下層に設ける一方のローカル配線を埋込溝配線で構成する場合、この下層のローカル配線の形成と同時に接続プラグを形成することができるため、少ない工程数で製造することができる。さらに、下層に設ける一方のローカル配線を埋込溝配線で構成する場合、平坦性が向上するため、上層に設ける容量絶縁膜や他方のローカル配線を容易に薄く且つ均一に形成することが可能となり、歩留まりや素子特性を向上させることができる。

【0032】また、本発明によれば、ソース/ドレイン領域、あるいはさらにゲート電極上に低抵抗材料である高融点金属シリサイド層を形成したことにより、SRAM構造の対称性に依らず、より一層の高速動作を実現することができる。

【0033】

【発明の実施の形態】以下、本発明の好適な実施の形態について説明する。

【0034】本発明のSRAMのメモリセルは、図1に示すように、ワード線WLと一对のビット線BL₁、BL₂との交差部に配置され、一对の駆動トランジスタD₁、D₂と一对の負荷トランジスタP₁、P₂と一对の転送トランジスタT₁、T₂で構成されている。ここで、一对の駆動トランジスタD₁、D₂と一对の転送トランジスタT₁、T₂はnチャネル型で構成され、一对の負荷トランジスタP₁、P₂はpチャネル型で構成されている。

【0035】一对の駆動トランジスタD₁、D₂と一对の負荷トランジスタP₁、P₂は、1ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。このフリップフロップ回路は、一对のCMOSインバータで構成され、それぞれのCMOSインバータは、一つの駆動トランジスタD₁（D₂）と一つの負荷トランジスタP₁（P₂）で構成される。

【0036】転送トランジスタT₁（T₂）のソース/ドレイン領域の一方は、負荷トランジスタP₁（P₂）及び駆動トランジスタD₁（D₂）のドレインに接続され、他方はビット線BL₁（BL₂）に接続されている。また、一对の転送トランジスタT₁、T₂のゲートはそれぞれワード線WLの一部を構成し、互いに接続されている。

【0037】一方のCMOSインバータを構成する駆動トランジスタD₁及び負荷トランジスタP₁のゲートは、他方のCMOSインバータを構成する駆動トランジスタD₂及び負荷トランジスタP₂のドレイン（蓄積ノードN₂）に接続されている。また、この後者のCMOSインバータを構成する駆動トランジスタD₂及び負荷トランジスタP₂のゲートは、前者のCMOSインバータを構成する駆動トランジスタD₁及び負荷トランジスタP₁のドレイン（蓄積ノードN₁）に接続されている。このように、一对のCMOSインバータ間において、一方のCMOSインバータの入出力部（蓄積ノード）と他方のCMOSインバータのゲートとが互いにローカル配線（局所配線）と呼ばれる一对の配線L₁、L₂を介してクロスカップル（交差結合）されている。

【0038】そして、駆動トランジスタD₁、D₂のソース領域には、基準電圧（V_{ss}、例えばGND）が供給され、負荷トランジスタP₁、P₂のソース領域には、電源電圧（V_{cc}）が供給される。

【0039】第1及び第2の実施形態

以下に本発明の第1及び第2の実施形態について説明する。第1の実施形態では、一对のローカル配線L₁、L₂を異なる層に配置し、下層のローカル配線を埋込溝配線で構成し、上層のローカル配線をプレート状の導電膜で構成し、基板上面（平面）から見て、上層のローカル配線（プレート状配線）の一部が下層のローカル配線（埋込溝配線）の上面の少なくとも一部と絶縁膜を介して重なるように配置する。下層のローカル配線（埋込溝配

線）と上層のローカル配線（プレート状配線）とこれらの間に介在する絶縁膜とで容量素子が構成される。

【0040】埋込溝配線は厚く（深さ方向に長く）、プレート状の導電膜配線は上面の面積が大きいいため、いずれの配線も、微細なライン状の導電性薄膜からなる配線に対して配線抵抗を低減することができる。

【0041】上記SRAMメモリセルの具体的な構造をさらに図面を用いて説明する。

【0042】図2はメモリセルの平面図、図3（a）は図2のa-a'線断面図、図3（b）は図2のb-b'線断面図である。なお、平面図においては、絶縁膜、ビット線およびビット線に接続するプラグを省略している。

【0043】メモリセルを構成する6個のトランジスタは、単結晶シリコンからなる半導体基板上の素子分離5によって周囲を囲まれた活性領域ARに形成されている。nチャネル型の駆動トランジスタD₁、D₂及び転送トランジスタT₁、T₂はp型ウェル領域に形成されており、pチャネル型の負荷トランジスタP₁、P₂はn型ウェル領域に形成されている。

【0044】一对の転送トランジスタT₁、T₂のそれぞれは、p型ウェルの活性領域に形成されたn型ソース/ドレイン領域13aと、この活性領域の表面に形成されたゲート酸化膜7と、このゲート酸化膜7上に形成されたゲート電極8で構成されている。このゲート電極8は、例えば、不純物導入多結晶シリコン膜と高融点金属シリサイド膜（タングステンシリサイド膜、コバルトシリサイド膜、チタンシリサイド膜等）の積層構造を有し、ワード線WLと一体に構成されている。ワード線WLは、第1方向（図2中では左右方向）に延在して設けられ、一对の転送トランジスタはこの第1方向に沿って互いに隣接して配置されている。また、一对の転送トランジスタはそのゲート長方向が第1方向と直交する第2方向（図2中では上下方向）と一致するように配置されている。

【0045】一对の駆動トランジスタD₁、D₂のそれぞれは、p型ウェルの活性領域に形成されたn型ソース/ドレイン領域13aと、この活性領域の表面に形成されたゲート酸化膜7と、このゲート酸化膜7上に形成されたゲート電極9、10で構成されている。このゲート電極9、10は、例えば、不純物導入多結晶シリコン膜と高融点金属シリサイド膜（タングステンシリサイド膜、コバルトシリサイド膜、チタンシリサイド膜等）の積層構造を有している。駆動トランジスタD₁のドレイン領域は、転送トランジスタT₁のソース/ドレイン領域の一方と共通の活性領域に形成され、駆動トランジスタD₂のドレイン領域は、転送トランジスタT₂のソース/ドレイン領域の一方と共通の活性領域に形成されている。

【0046】一对の負荷トランジスタP₁、P₂のそれぞれは、n型ウェルの活性領域に形成されたp型ソース/

ドレイン領域13bと、この活性領域の表面に形成されたゲート酸化膜7と、このゲート酸化膜7上に形成されたゲート電極9、10で構成されている。負荷トランジスタ P_1 のゲート電極9は駆動トランジスタ D_1 のゲート電極と一体に構成されており、負荷トランジスタ P_1 のゲート電極10は駆動トランジスタ D_2 のゲート電極と一体に構成されている。

【0047】駆動トランジスタ D_1 は、前記第2の方向において、転送トランジスタ T_1 と負荷トランジスタ P_1 との間に配置されている。駆動トランジスタ D_1 は、前記第2の方向において、転送トランジスタ T_1 と負荷トランジスタ P_1 との間に配置されている。一対の駆動トランジスタ及び一対の負荷トランジスタのそれぞれは、そのゲート長方向が前記第1方向と一致するように配置されている。

【0048】一対の駆動トランジスタ、一対の負荷トランジスタ及び一対の転送トランジスタのそれぞれのソース/ドレイン領域の表面には、シート抵抗や接続プラグとの接続抵抗を低減する目的でチタンシリサイドやコバルトシリサイド等の高融点金属シリサイド層（不図示）を設けていることが好ましい。

【0049】一対の駆動トランジスタ、一対の負荷トランジスタ及び一対の転送トランジスタのそれぞれを構成するゲート電極の側壁にはサイドウォール12が形成されている。また、ゲート電極の上部にはシリコン酸化膜等からなるキャップ層（不図示）が設けられていてもよい。

【0050】8個のトランジスタの上部には、シリコン窒化膜14が形成されており、このシリコン窒化膜14の上部には厚さ300～1000nm程度のPSGやBPSG等からなる第1層間絶縁膜15が形成されている。

【0051】この第1層間絶縁膜15には、一対のローカル配線の一方である埋込溝配線16 (L_1) が形成されている。この埋込溝配線16 (L_1) は、第1層間絶縁膜15を開孔して形成された溝にW等の導電性金属が埋め込まれてなる。この埋込溝配線16 (L_1) の一端部は、駆動トランジスタ D_1 のドレイン領域と電気的に接続され、他端部は、負荷トランジスタ P_1 のドレイン領域と電気的に接続されている。さらに、埋込溝配線16 (L_1) の中央部は、駆動トランジスタ D_2 と負荷トランジスタ P_2 に共通のゲート電極10と電気的に接続されている。このゲート電極10は、駆動トランジスタ D_2 のドレイン領域と負荷トランジスタ P_2 のドレイン領域との間でトランジスタ D_2 、 P_2 方向へ分岐し、この分岐した部分が前記埋込溝配線16の中央部と接触している。この接触部は、上面からみて、後述の三つのコンタクトプラグ18、19、20のいずれからほぼ等距離に配置することが好ましい。その際、埋込溝配線16 (L_1) 形状は、上面からみて、長方形の帯状形状をと

ることもできるが、図2の平面図に示すように、両端部に対してトランジスタ D_2 、 P_2 側へ張り出すように折れ曲がった帯状形状であってもよい。これにより十分なマージンを確保できる。

【0052】埋込溝配線16 (L_1) が形成された第1層間絶縁膜15上には、シリコン酸化膜等からなる厚さ10nm～150nm程度の第2層間絶縁膜17が形成されている。そして、この第2層間絶縁膜17及び第1層間絶縁膜15に開孔された接続孔にW等の導電性金属が埋め込まれてなる接続プラグが設けられている。これらの接続プラグは、6個のトランジスタのソース/ドレイン領域にそれぞれ接続するプラグ19～26と、駆動トランジスタ D_1 と負荷トランジスタ P_1 に共通のゲート電極9に接続するプラグ18である。

【0053】第2層間絶縁膜17の上部には、厚さ100～200nm程度のTiN等からなるローカル配線27 (L_2) が形成されている。ローカル配線27 (L_2) は、駆動トランジスタ D_1 と負荷トランジスタ P_1 に共通のゲート電極9に接続するプラグ18、駆動トランジスタ D_2 のドレイン領域に接続するプラグ19、負荷トランジスタ P_2 のドレイン領域に接続するプラグ20に電気的に接続するように設けられている。また、ローカル配線27 (L_2) の一部が、他方のローカル配線である前記埋込溝配線16 (L_1) の上面の少なくとも一部と第2層間絶縁膜17を介して重なるように配置される。ローカル配線27 (L_2) と埋込溝配線16 (L_1) とそれらの間に介在する第2層間絶縁膜とで容量素子が構成される。容量素子を設ける点からは、ローカル配線27 (L_2) が、埋込溝配線16 (L_1) の上面をできるだけ覆うことが好ましく、図2に示す構成ではローカル配線27 (L_2) が、埋込溝配線16 (L_1) の上面全体を覆っている。

【0054】なお、接続プラグ21～26上にはそれぞれ、上層からのビアプラグとの接続を容易にするために、ローカル配線27 (L_2) と同時にバターニング形成された矩形の導電膜パターン28～33が形成されている。

【0055】ローカル配線27 (L_2) が形成された第2層間絶縁膜17の上部には、シリコン酸化膜等からなる第3層間絶縁膜34が形成され、その上部には、電源電圧 V_{cc} が印加される電源電圧線41、及び基準電圧 V_{ss} が印加される基準電圧線42が前記第1方向に沿って形成されている。電源電圧線41は、第3層間絶縁膜34に設けられた接続プラグ（ビアプラグ）36、37と第1及び第2層間絶縁膜に設けられた接続プラグ22、23を介して、それぞれ負荷トランジスタ P_1 、 P_2 のソース領域に電気的に接続されている。基準電圧線42は、第3層間絶縁膜34に設けられた接続プラグ（ビアプラグ）35、38と第1及び第2層間絶縁膜に設けられた接続プラグ21、24を介して、それぞれ駆動トラ

ンジスタ D_1 、 D_2 のソース領域に電気的に接続されている。これらの配線は、例えば、パターニングされたアルミ膜や、アルミ膜の上部には反射防止膜として下部にはバリアメタル膜として TiN 等からなる膜が配置された積層膜で構成することができる。

【0056】なお、転送トランジスタ T_1 、 T_2 のソース／ドレイン領域の一方に電気的に接続されるように第3層間絶縁膜34に設けたプラグ39、40の上部にはそれぞれ、上層からのビアプラグとの接続を容易にするために、電源電圧線41及び基準電圧線42と同時にパターニング形成された矩形の導電膜パターン43、44が形成されている。

【0057】電源電圧線41及び基準電圧線42が形成された第3層間絶縁膜34の上部には、シリコン酸化膜等からなる第4層間絶縁膜（不図示）が形成され、その上部には、前記第2方向に沿って一対のビット線 BL_1 、 BL_2 （不図示）が形成されている。一方のビット線 BL_1 は、第4層間絶縁膜に設けられた接続プラグ（ビアプラグ）と第3層間絶縁膜に設けられた接続プラグ40と第1及び第2層間絶縁膜に設けられた接続プラグ26を介して転送トランジスタ T_1 のソース／ドレイン領域の一方に電気的に接続されている。他方のビット線 BL_2 は、第4層間絶縁膜に設けられた接続プラグ（ビアプラグ）と第3層間絶縁膜に設けられた接続プラグ39と第1及び第2層間絶縁膜に設けられた接続プラグ25を介して転送トランジスタ T_2 のソース／ドレイン領域の一方に電気的に接続されている。これらの配線は、例えば、パターニングされたアルミ膜や、アルミ膜の上部には反射防止膜として下部にはバリアメタル膜として TiN 等からなる膜が配置された積層膜で構成することができる。

【0058】本発明の第2の実施の形態として、上述の構造において容量素子の構成が、基板上面から見て、上層のローカル配線（プレート状配線）の一部が下層のローカル配線（埋込溝配線）の上面の少なくとも一部と絶縁膜を介して重なるように配置されていることに加え、上層のローカル配線（プレート状配線）の一部が、下層のローカル配線（埋込溝配線）の側面（深さ方向に沿った面）を絶縁膜を介して部分的に覆うように配置されている構造をとってもよい。この構造によれば、下層のローカル配線（埋込溝配線）の上面だけでなく側面においても容量素子を構成しているため、素子の容量を増加させることができる。図21に、この実施の形態の一例の断面図（図2の平面図に対応）を示す。

【0059】次に、本発明の半導体記憶装置のSRAMメモリの製造方法について、第1の実施形態の製造方法を例に挙げて図面を用いて説明する。なお、平面図においては絶縁膜を適宜省略して表記する。

【0060】まず、p型単結晶シリコンからなる半導体基板1の主面に常法によりシリコン酸化膜2及びシリコ

ン酸化膜3を順次形成する。続いて、常法により形成した所定のパターン形状をもつフォトリソレジストをマスクにしてドライエッチングを行い、シリコン窒化膜3及びシリコン酸化膜2をパターニングする。その後、残ったシリコン窒化膜3とシリコン酸化膜2をマスクにして半導体基板1をドライエッチングし、素子分離用の溝（トレンチ）4を形成する（図4、図5）。なお、図中、ARで示される領域は活性領域であり、この工程においてはAR以外の領域に素子分離用のトレンチ4が形成される。また、MRで示される点線で囲まれた領域は1つのメモリセル領域を示す。複数のメモリセルは、隣合うメモリセル間で、MRで示される長方形の前記第1方向（図4中では左右方向）に沿う各辺を対象軸としてARの形状が線対称（ミラー反転）になるように配置され、且つ、MRで示される長方形の前記第2方向（図4中では上下方向）に沿う各辺を基準線として前記第1方向に平行移動（シフト）した関係となるように配置される。なお、MRで示される長方形の各辺を対称軸としてARの形状が線対称になるように基板上に配置することも可能である。

【0061】次に、図6に示すように、トレンチ4の内部にシリコン酸化膜を埋め込んで素子分離5を形成する。この素子分離5の形成は、トレンチ4を含む半導体基板1上にCVD法によりシリコン酸化膜をトレンチ4内が完全に埋め込まれるように厚く形成した後、シリコン窒化膜3をストップとして利用し、厚く形成したシリコン酸化膜に対してエッチバックあるいは化学的機械的研磨（CMP）を行いトレンチ4内部以外のシリコン酸化膜を除去して形成することができる。

【0062】次に、半導体基板1上のシリコン窒化膜3及びシリコン酸化膜2をエッチングにより除去した後、図7及び図8に示すように、厚さ10～30nm程度の薄いシリコン酸化膜（犠牲酸化膜）2aを形成し、続いて負荷トランジスタ P_1 、 P_2 を形成する領域にレジスト6を形成する。このレジスト6をマスクとし、前記酸化膜2aをスルー膜としてp型不純物（例えばホウ素）をイオン注入して、駆動トランジスタ D_1 、 D_2 及び転送トランジスタ T_1 、 T_2 を後に設けるp型ウェル領域を形成する。次いで、レジスト6を除去した後、p型ウェル領域上にレジストを形成し、このレジストをマスクとし、前記酸化膜2aをスルー膜としてn型不純物（例えばリン又はヒ素）をイオン注入して、負荷トランジスタ P_1 、 P_2 を後に設けるn型ウェル領域を形成する。

【0063】次に、半導体基板上のシリコン酸化膜（犠牲酸化膜）2aを除去した後、熱酸化法によりゲート酸化膜を形成し、続いて不純物導入多結晶シリコン膜を形成する。その際、不純物導入多結晶シリコン膜上にWシリサイド膜等の高融点金属シリサイド膜を形成し、その上にキャップ層形成用のシリコン酸化膜を形成してもよい。次いで、所定パターンに形成したフォトリソレジストを

マスクにしてドライエッチングを行い、不純物導入多結晶シリコン膜およびゲート酸化膜（高融点金属シリサイド膜およびシリコン酸化膜を形成した場合はさらにこのシリサイド膜と酸化膜）を同時にパターンニングして、図9及び図10に示すように、転送トランジスタ T_1 、 T_2 のゲート電極（ワード線WL）8、駆動トランジスタ D_1 、 D_2 及び負荷トランジスタ P_1 、 P_2 のゲート電極9、10を形成する。

【0064】次に、図11及び図12に示すトランジスタ構造を下記のようにして形成する。n型ウェル領域上に形成したレジストをマスクにして、比較的少ない注入量でn型不純物（例えばリン又はヒ素）をイオン注入し、p型ウェル領域にLDD領域11を形成する。このレジストを除去した後、同様に、p型ウェル領域上に形成したレジストをマスクにしてp型不純物（例えばホウ素）をイオン注入し、n型ウェル領域にLDD領域11を形成する。次いで、このレジストを除去した後、CVD法でシリコン酸化膜を基板上に形成し、このシリコン酸化膜をエッチバックすることにより、ゲート電極の側面にサイドウォール12を形成する。サイドウォールは、酸化膜-窒化膜-酸化膜や窒化膜-多結晶シリコン膜からなる積層膜であってもよい。その後、n型ウェル領域上に形成したレジストをマスクにして、比較的多い注入量でn型不純物をイオン注入し、p型ウェル領域にn型ソース/ドレイン領域13aを形成する。続いて、このレジストを除去した後、同様に、p型ウェル領域上に形成したレジストをマスクにしてp型不純物をイオン注入し、n型ウェル領域にp型ソース/ドレイン領域13bを形成する。

【0065】この工程後において、好ましくは、ソース/ドレイン領域上に高融点シリサイド膜を形成する。まず、半導体基板上にスパッタリング法等で高融点金属（例えばTi、Co）膜を形成する。次に、熱処理（アニール）を行って、高融点金属膜とソース/ドレイン領域とを反応させた後、未反応の高融点金属をエッチングにより除去する。これによりソース/ドレイン領域上に高融点金属シリサイド膜が形成される。このとき、前述の工程においてゲート電極上にWシリサイド膜およびシリコン酸化膜を設けていない場合は、ゲート電極上にも高融点金属シリサイド膜が形成される。

【0066】次に、半導体基板上にCVD法でシリコン窒化膜14を形成した後、PSGやBPSG等からなる層間絶縁膜15を形成する。次いで、所定パターンに形成したフォトリソをマスクにしてドライエッチングを行い第1層間絶縁膜15及びシリコン窒化膜14を開孔して基板表面およびゲート電極に達する溝を形成する。この溝をW等の導電性金属で埋め込むことにより、図13及び図14に示すように、埋込溝配線からなるローカル配線16（ L_1 ）を形成する。その際、溝への導電性金属の埋込は、例えば、スパッタリング法等でTi

/TiN積層膜等からなるバリア金属膜を溝内部を含む基板上に形成した後、その溝を埋め込むようにW等からなる導電性金属膜をCVD法等により形成し、その後、これら金属膜に対してCMPを行って溝内以外の導電性金属膜とバリア金属膜を除去することにより行うことができる。

【0067】次に、CVD法によりシリコン酸化膜等からなる第2層間絶縁膜17を形成した後、フォトリソをマスクにしたドライエッチングを行いゲート電極9に達する接続孔と、ソース/ドレイン領域に達する接続孔（コンタクトホール）を同時に形成する。接続孔内部を含む基板表面に、TiやTiN、これらの積層膜からなるバリア金属膜を形成した後、CVD法等でこれらの接続孔を埋め込むようにW等の導電性金属膜を形成し、これら金属膜に対してCMPを行って接続孔内以外の導電性金属膜とバリア金属膜を除去する。これにより、図15及び図16に示すように、ゲート電極9に達する接続プラグ18、ソース/ドレイン領域に達する接続プラグ19～26が同時に形成される。このとき、CMPに代えてエッチバックを行う場合は、TiやTiN、これらの積層膜からなるバリア金属膜を表面に残し、このバリア金属膜をレジストをマスクにしてパターンニングすることにより、後述の方法に代えてローカル配線（ L_1 ）27及び導電膜パターン28～33を形成することができる。

【0068】次に、スパッタリング法またはCVD法等によりTiN膜等の導電膜を形成し、この導電膜をフォトリソをマスクにしてパターンニングを行う。これにより、図17及び図18に示すように、接続プラグ18、19、20に接触するローカル配線（ L_1 ）27が形成される。その際、ローカル配線（ L_1 ）27は、上面からみて、その一部が第2層間絶縁膜17を介して下層のローカル配線（ L_1 ）16の少なくとも一部と重なるように形成される。図においては、ローカル配線（ L_1 ）27は、下層のローカル配線（ L_1 ）16の上面全体と重なるように形成されている。

【0069】なお、ローカル配線（ L_1 ）27を形成するためのパターンニングの際、後に上層に形成される接続プラグ（ビアプラグ）と、各接続プラグ（コンタクトプラグ）21～26との接続を容易にするために、各接続プラグ21～26上に、接触し且つその上面を覆う矩形の導電膜パターン28～33を同時に形成する。

【0070】次に、CVD法によりシリコン酸化膜等からなる第3の層間絶縁膜34を形成した後、フォトリソをマスクにしてドライエッチングを行い、各導電膜パターン28～33に達する接続孔（ビアホール）を形成する。接続孔内部を含む基板表面にバリア金属膜を形成した後、CVD法等でこれらの接続孔を埋め込むようにW等からなる導電性金属膜を形成し、これらの金属膜に対してCMPを行い接続孔以外の導電性金属膜とバリア

ア金属を除去する。これにより、図19及び図20に示すように、各導電膜パターン28~33に達する接続プラグ(ビアプラグ)が形成される。

【0071】次に、第3層間絶縁膜34上に、図2及び図3に示すように、電源電圧 V_{cc} が印加される電源電圧線41、及び基準電圧 V_{ss} が印加される基準電圧線42を形成する。これらの配線は、第3層間絶縁膜34上にスパッタリング法等でA1膜を形成した後、フォトリソをマスクにしてドライエッチングを行い、A1膜をパターンニングして形成することができる。その際、A1膜に代えて、バリア金属膜(TiN膜等)、A1膜、反射防止膜(TiN膜等)を順次形成してなる積層膜を設けてもよい。電源電圧線41は、接続プラグ36、37に接触し、負荷トランジスタ P_1 、 P_2 のそれぞれのソース領域に電気的に接続される。基準電圧線42は、接続プラグ35、38に接触し、駆動トランジスタ D_1 、 D_2 のそれぞれのソース領域に電気的に接続される。

【0072】なお、電源電圧線41及び基準電圧線42を形成するためのパターンニングの際、転送トランジスタのソース/ドレイン領域の一方に通じる接続プラグ39、40のそれぞれと、後に形成するビット線 BL_1 、 BL_2 に通じる接続プラグとの接続を容易にするために、各接続プラグ39、40上に、それぞれと接続し且つその上面を覆う矩形の導電膜パターン43、44を形成する。

【0073】次に、電源電圧線41、基準電圧線42等が形成された第3層間絶縁膜34上に、CVD法により酸化シリコン等からなる第4層間絶縁膜を形成する。次いで、フォトリソをマスクにしたドライエッチングを行って、接続プラグ39、40のそれぞれの上に形成された各導電膜パターン43、44に達する接続孔を形成する。続いて、これらの接続孔の内部を含む第4層間絶縁膜上にバリア金属膜を形成した後、CVD法等によりW等からなる導電性金属膜をこれらの接続孔が埋め込まれるように形成する。次いで、CMPを行って接続孔内部以外のこれら金属膜を除去して接続プラグを形成する。

【0074】次に、これらの接続プラグが形成された第4層間絶縁膜上に、ビット線 BL_1 、 BL_2 を形成する。これらのビット線は、第4層間絶縁膜上にスパッタリング法等でA1膜を形成した後、フォトリソをマスクにしてドライエッチングを行い、A1膜をパターンニングして形成することができる。その際、A1膜に代えて、バリア金属膜(TiN膜等)、A1膜、反射防止膜(TiN膜等)を順次形成してなる積層膜を設けてもよい。各ビット線は、第4層間絶縁膜に形成された接続プラグのいずれかに接触し、転送トランジスタ T_1 、 T_2 のいずれかのソース/ドレイン領域の一方に電気的に接続される。

【0075】以上の工程により、本実施形態のメモリセ

ルが完成する。なお、この後、例えば、ビット線が形成された第4層間絶縁膜上にパッシベーション膜を形成するなど、適宜、所望の工程を実施することができる。

【0076】その他の実施の形態として図21を示して説明した第2の実施形態の構造は、次のようにして形成することができる。

【0077】図14に示す構造を形成する工程(埋込溝配線16(L_1)の形成工程)に続いて、埋込溝配線16の上面より第1層間絶縁膜15の上面が低くなり埋込溝配線の側面が部分的に露出するようにエッチバックを行う。

【0078】次に、CVD法によりシリコン酸化膜等からなる第2層間絶縁膜17を形成した後、フォトリソをマスクにしたドライエッチングを行いゲート電極9に達する接続孔と、ソース/ドレイン領域に達する接続孔(コンタクトホール)を同時に形成する。接続孔内部を含む基板表面に、TiやTiN、これらの積層膜からなるバリア金属膜を形成した後、CVD法等でこれらの接続孔を埋め込むようにW等の導電性金属膜を形成し、これら金属膜に対してエッチバックを行って接続孔内以外の導電性金属膜とバリア金属膜を除去する。これにより、ゲート電極9に達する接続プラグ18、ソース/ドレイン領域に達する接続プラグ19~26が同時に形成される。

【0079】次に、スパッタリング法またはCVD法等によりTiN膜等の導電膜を形成し、この導電膜をフォトリソをマスクにしてパターンニングを行う。これにより、図21に示すように、接続プラグ18、19、20に接触するローカル配線(L_2)27が形成される。その際、ローカル配線(L_2)27は、上面からみて、その一部が第2層間絶縁膜17を介して下層のローカル配線(L_1) (埋込溝配線16)の上面の少なくとも一部あるいは上面全体と重なるように形成されるとともに、埋込溝配線16の露出した側面を第2層間絶縁膜17を介して覆うように配置される。

【0080】以下に、本発明のその他の実施形態として、さらに容量素子の容量を増大させた構成について説明する。

【0081】第3の実施形態

図23に本実施形態の構造を示す断面図を示す。図23(a)及び(b)は、それぞれ第1の実施形態の構造を示す図3(a)及び(b)に対応している。

【0082】本実施形態の構成においては、埋込溝配線である下層のローカル配線16(L_1)上にスタック電極101が配置されている。プレート状の上層のローカル配線27(L_2)は、絶縁膜17を介してこのスタック電極101の少なくとも上面の一部及び側面の一部を覆うように配置されている。図では、スタック電極101の上面および側面が部分的に覆われているが、マージンが許せばそれぞれ全体を覆っていてもよい。このよう

な構成によれば、スタック電極の側面においても容量素子を構成しているため、素子の容量を増加させることができる。

【0083】本実施形態の構成は次のようにして形成することができる。

【0084】図14に示す工程まで第1の実施形態と同様に行い、その後、図24に示すように、DOPOS、DOPOS-HSG、TiN等を成膜し、形成された導電膜を通常のリソグラフィでパターンニングして、下層のローカル配線16(L₁)上にスタック電極101を形成する。この10 パターンニングの際、下層のローカル配線16(L₁)と同パターンマスクを用いることができる。また、下層のローカル配線18(L₁)とスタック電極101は、電気的に導通し且つマージンが許される範囲内で、上方からみた平面位置において部分的に重なったり、他方を含むように配置されていてもよい。このようにしてスタック電極101が形成された後、容量絶縁膜となる第2層間絶縁膜17(SiO₂やSiN、あるいはTaO等の高誘電率膜)を形成する。その後、ゲート電極に達する接続プラグ18、ソース/ドレイン領域に達する接続10 プラグ19~26を形成する。次いで、図25に示すようにプレート状の上層のローカル配線27(L₂)を形成し、その後、第3の層間絶縁膜34を形成して図26に示す構成とする。スタック電極101を設けたこと、このスタック電極を覆うように上層のローカル配線27(L₂)を設けたこと、スタック電極を設けたことにより第3の層間絶縁膜34を厚めに形成した以外は、第1の実施形態と同様にして作製することができる。

【0085】第4の実施形態

図27に本実施形態の構造を示す断面図を示す。図27 30 (a)及び(b)は、それぞれ第1の実施形態の構造を示す図3(a)及び(b)に対応している。

【0086】本実施形態の構成においては、容量絶縁膜となる第2層間絶縁膜17より先に設けた第3層間絶縁膜34に溝が設けられ、この溝内に、溝内の側壁を覆い且つその底部で下層のローカル配線16(L₁)と接するシリンドラ電極(角形のシリンドラ状の溝内電極膜)111と第2層間絶縁膜17を介して埋め込まれた埋込電極112とこれらの間に介在する第2層間絶縁膜17とで構成される容量素子を有している。このような構成によれば、溝内の側壁においても容量素子を構成しているため、素子の容量を増加させることができる。

【0087】本実施形態の構成は次のようにして形成することができる。

【0088】図14に示す工程まで第1の実施形態と同様に行い、その後、図28に示すように第3の層間絶縁膜34を設け、下層のローカル配線16(L₁)上にその上面の少なくとも一部が露出するように溝を形成する。次に、DOPOS、DOPOS-HSG、TiN等からなる導電膜を成膜し、次いでレジストを塗布し、そのレジスト膜を

エッチバックして溝外部のレジストを除去する。次に、導電膜をエッチバックして溝外部の導電膜を除去し、次いで溝内部のレジストを除去し、結果、溝の内表面にシリンドラ電極(溝内電極膜)111が形成される(図29)。その後、容量絶縁膜となる第2層間絶縁膜17(SiO₂やSiN、あるいはTaO等の高誘電率膜)を形成する。なお、溝の形成の際、下層のローカル配線16(L₁)と同パターンのマスクを用いることができる。また、下層のローカル配線16(L₁)とシリンドラ電極111は、電気的に導通し且つマージンが許される範囲内で、上方からみた平面位置において部分的に重なったり、他方を含むように配置されていてもよい。次に、第3層間絶縁膜34に、第1層間絶縁膜15に設けられてる接続プラグに達するビアホールを形成する。次に、これらのビアホール内にバリアメタル膜(TiやTiN、TiN/Ti積層膜)を形成する。その際、溝内はそのバリアメタルで埋め込まれてもよい(埋込電極112の形成)。また、溝の幅が十分に広い場合は、溝内表面にバリアメタル膜を形成し、W等の導電性材料で埋め込んでもよい。続いて、W等の導電性材料でビアホールを埋め込み、エッチバックして、図30に示す構造を得る。このとき、基板表面上のバリアメタルは残っていてもよい。次に、第1の実施形態の製法と同様にして、図31に示すようにプレート状の上層ローカル配線27(L₂)を形成し、その後、第5の層間絶縁膜201を形成して図32に示す構成とする。以降、第1の実施形態の製法と同様にしてSRAMメモリセルを形成する。

【0089】第5の実施形態

図33に本実施形態の構造を示す断面図を示す。図33 (a)及び(b)は、それぞれ第1の実施形態の構造を示す図3(a)及び(b)に対応している。本実施形態の構成においては、第1層間絶縁膜15に溝が設けられ、この溝内に、溝内の側壁を覆う角形のシリンドラ状の下層ローカル配線16(L₁)を有している。このシリンドラ状の下層ローカル配線16(L₁)の底面(基板との接触面)は、第1の実施形態の下層ローカル配線(1₁)である埋込溝配線の底面と同形状を有し、同様に配置されている。そして、その溝内のシリンドラ状の下層ローカル配線16(L₁)と第2層間絶縁膜17を介してその溝に埋め込まれた埋込電極112とこれらの間に介在する第2層間絶縁膜17とで容量素子が構成されている。このような構成によれば、溝内の側壁においても容量素子を構成しているため、素子の容量を増加させることができる。

【0090】本実施形態の構成は次のようにして形成することができる。

【0091】図14に示す工程における溝を導電性材料で埋め込む前までは第1の実施形態と同様にして図34に示す構造を形成する。次に、DOPOS、DOPOS-HSG、TiN等からなる導電膜を成膜し、次いでレジストを塗布

25

し、そのレジスト膜をエッチバックして溝外部のレジストを除去する。次に、導電膜をエッチバックして溝外部の導電膜を除去し、次いで溝内部のレジストを除去し、結果、溝の内表面に角形のシリンダ状の下層ローカル配線 16 (L_1) が形成される (図 35)。その後、容量絶縁膜となる第 2 層間絶縁膜 17 (SiO_2 や SiN 、あるいは TaO 等の高誘電率膜) を形成する。次に、第 1 層間絶縁膜 15 に所定のコンタクトホールを形成し、これらのコンタクトホール内にバリア金属膜 (Ti や TiN 、 TiN/Ti 積層膜) を形成する。その際、溝内はそのバリア金属で埋め込まれてもよい (埋込電極 112 の形成)。また、溝の幅が十分に広い場合は、溝内表面にバリア金属膜を形成し、 W 等の導電性材料で埋め込んでもよい。続いて、 W 等の導電性材料でコンタクトホールを埋め込み、エッチバックして、図 36 に示す構造を得る。このとき、基板表面上のバリア金属は残っていてもよい。次に、第 1 の実施形態の製法と同様に、図 37 に示すようにプレート状の上層ローカル配線 27 (L_2) を形成し、その後、第 3 の層間絶縁膜 34 を形成して図 38 に示す構造とする。以降、第 1 の実施形態の製法と同様にして SRAM メモリセルを形成する。

【0092】

【発明の効果】以上の説明から明らかなように本発明によれば、工程数を著しく増大させることなく、容易に、メモリセルサイズが縮小された SRAM を得ることができる。さらに、SRAM の α 線ソフトエラー耐性を向上させることができる。

【図面の簡単な説明】

【図 1】本発明の半導体記憶装置の SRAM メモリセルの回路図である。
 【図 2】本発明の半導体記憶装置の SRAM メモリセルの一実施形態を説明するための平面図である。
 【図 3】本発明の半導体記憶装置の SRAM メモリセルの一実施形態を説明するための断面図である。
 【図 4】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための平面図である。
 【図 5】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。
 【図 6】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。
 【図 7】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための平面図である。
 【図 8】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。
 【図 9】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための平面図である。
 【図 10】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。
 【図 11】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。

26

ルの製造方法を説明するための平面図である。

【図 12】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。

【図 13】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための平面図である。

【図 14】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。

【図 15】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための平面図である。

10 【図 16】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。

【図 17】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための平面図である。

【図 18】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。

【図 19】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための平面図である。

【図 20】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。

20 【図 21】本発明の半導体記憶装置の SRAM メモリセルの他の実施形態を説明するための断面図である。

【図 22】従来の SRAM メモリセルの回路図である。

【図 23】本発明の半導体記憶装置の SRAM メモリセルの他の実施形態を説明するための断面図である。

【図 24】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。

【図 25】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。

【図 26】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。

30 【図 27】本発明の半導体記憶装置の SRAM メモリセルの他の実施形態を説明するための断面図である。

【図 28】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。

【図 29】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。

【図 30】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。

40 【図 31】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。

【図 32】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。

【図 33】本発明の半導体記憶装置の SRAM メモリセルの他の実施形態を説明するための断面図である。

【図 34】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。

【図 35】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。

【図 36】本発明の半導体記憶装置の SRAM メモリセルの製造方法を説明するための断面図である。

27

28

【図37】本発明の半導体記憶装置のSRAMメモリセルの製造方法を説明するための断面図である。

【図38】本発明の半導体記憶装置のSRAMメモリセルの製造方法を説明するための断面図である。

【符号の説明】

T₁、T₂ 転送トランジスタ

D₁、D₂ 駆動トランジスタ

P₁、P₂ 負荷トランジスタ

BL₁、BL₂ ビット線

WL ワード線

L₁、L₂ ローカル配線

N₁、N₂ 蓄積ノード

V_{cc} 電源電圧

V_{ss} 基準電圧

AR 活性領域

MR 一つのメモリセル領域

1 半導体基板

2 シリコン酸化膜

2a シリコン酸化膜（犠牲酸化膜）

3 シリコン窒化膜

4 トレンチ（溝）

5 素子分離

6 レジスト

7 ゲート酸化膜

* 8 ゲート電極（ワード線WL）

9、10 ゲート電極

11 LDD領域

12 サイドウォール

13 ソース/ドレイン領域

13a n型ソース/ドレイン領域

13b p型ソース/ドレイン領域

14 シリコン窒化膜

15 第1層間絶縁膜

10 16 ローカル配線（L₁）

17 第2層間絶縁膜

18～26 接続プラグ

27 ローカル配線（L₂）

28～33、43、44 導電膜パターン

34 第3層間絶縁膜

35～40 接続プラグ（ビアプラグ）

41 電源電圧線

42 基準電圧線

101 スタック電極

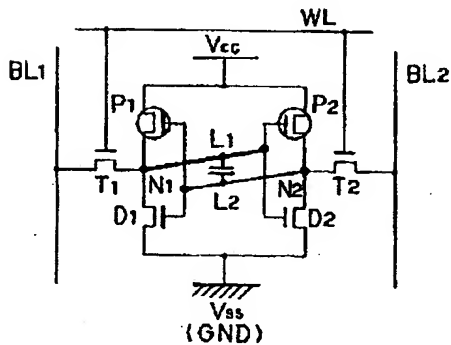
20 111 シリンダ電極（溝内電極膜）

112 埋込電極

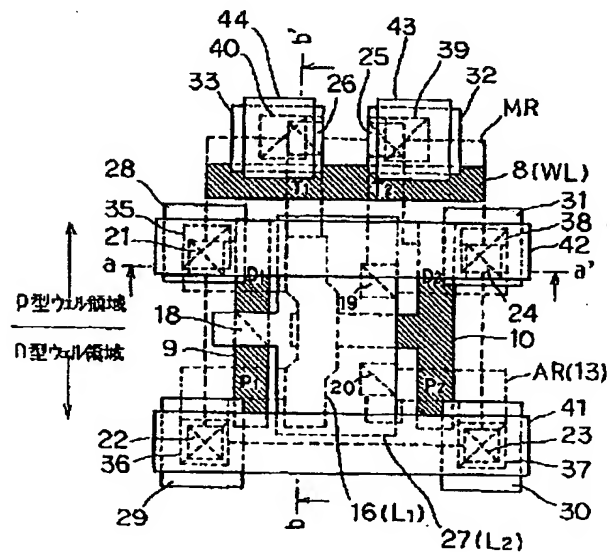
119、121、124、126 接続プラグ（ビアプラグ）

* 201 第5層間絶縁膜

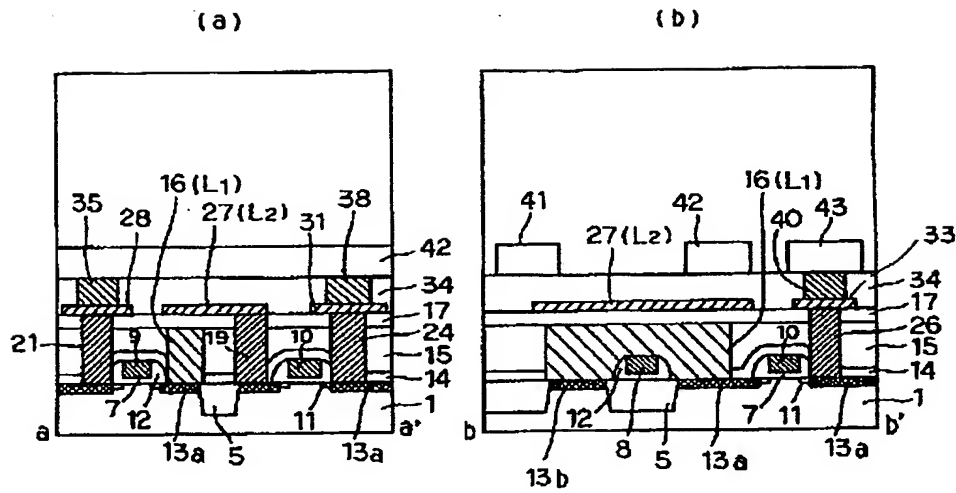
【図1】



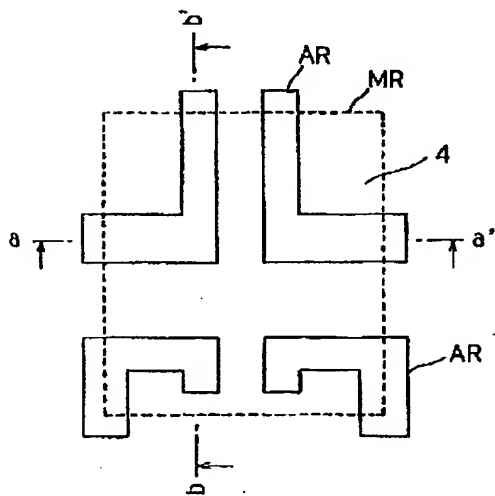
【図2】



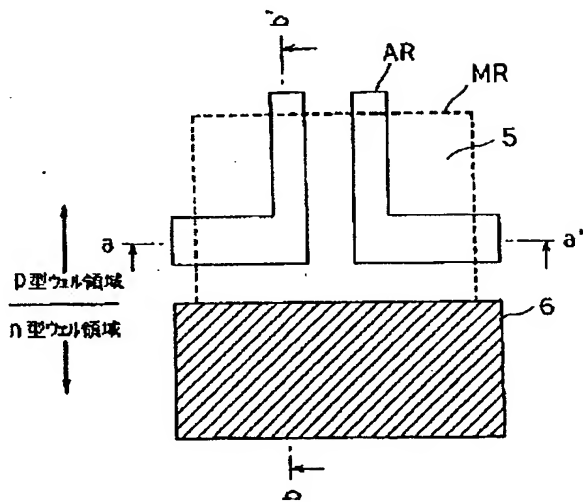
【図3】



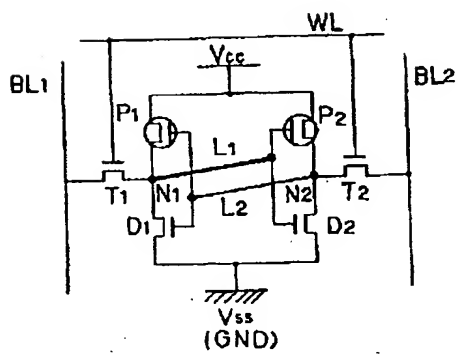
【図4】



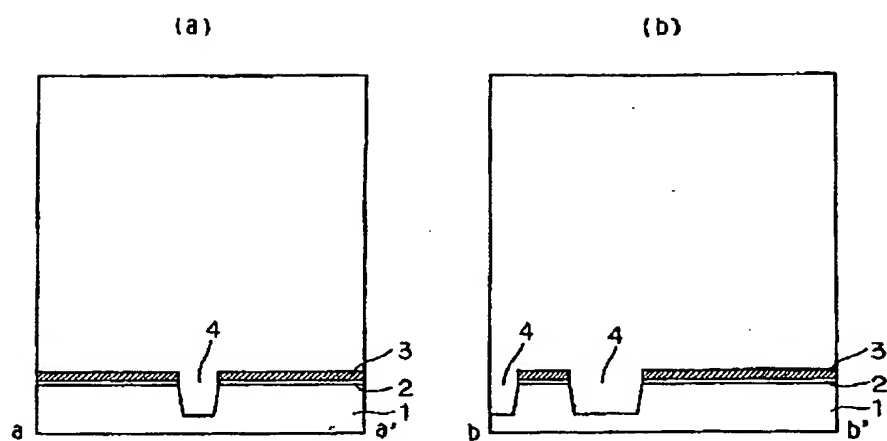
【図7】



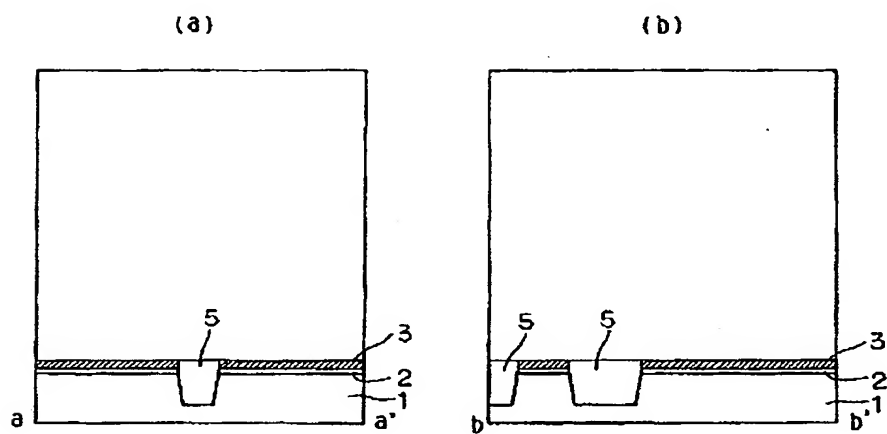
【図22】



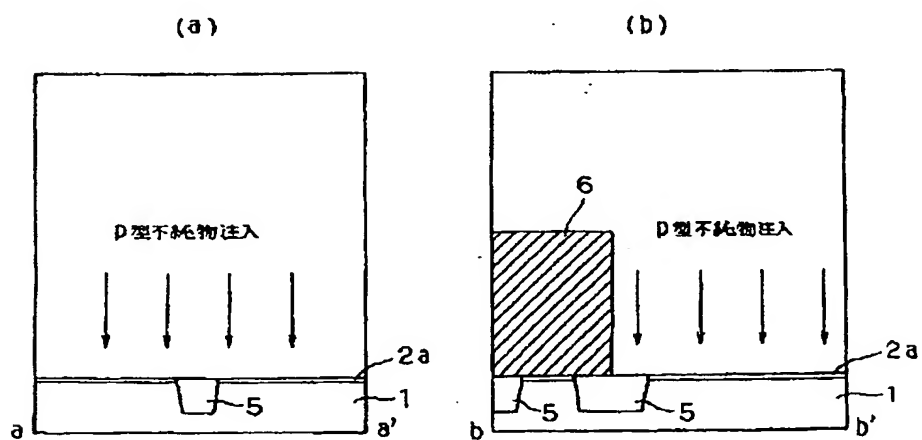
【図5】



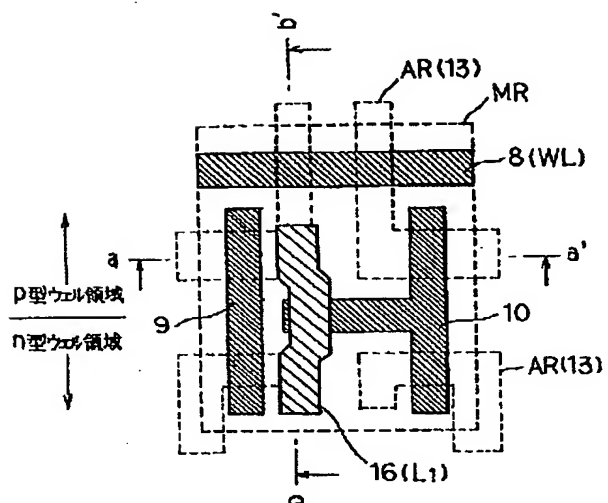
【図6】



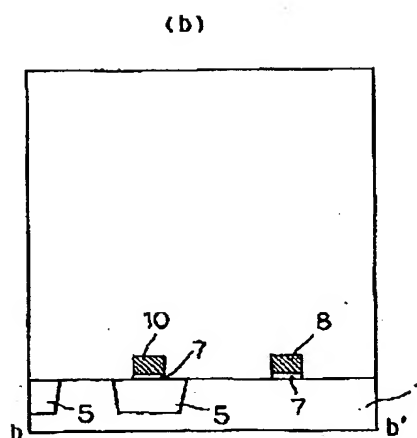
【図8】



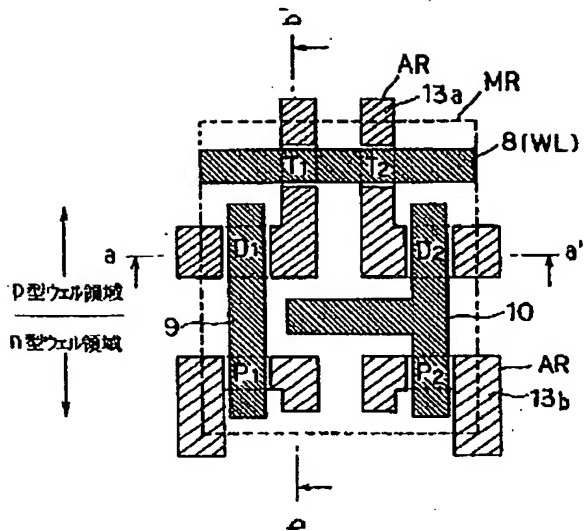
【圖 13】



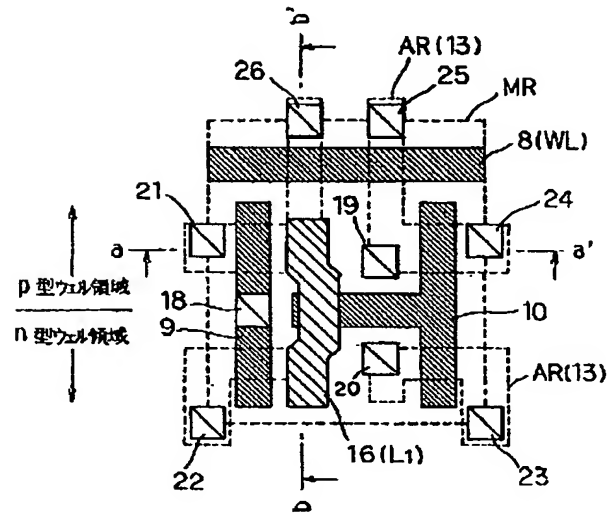
【圖 10】



【図11】

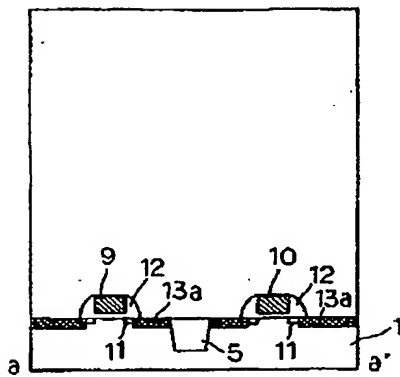


【図15】

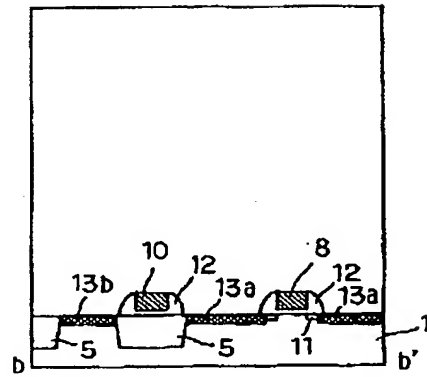


【図12】

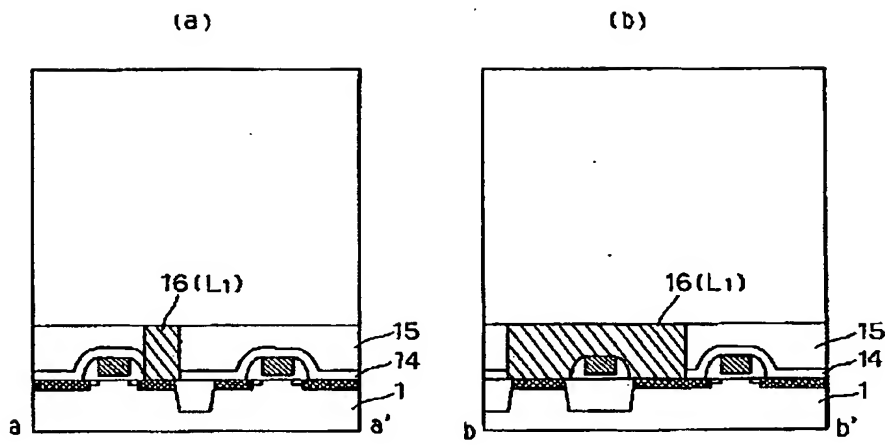
(a)



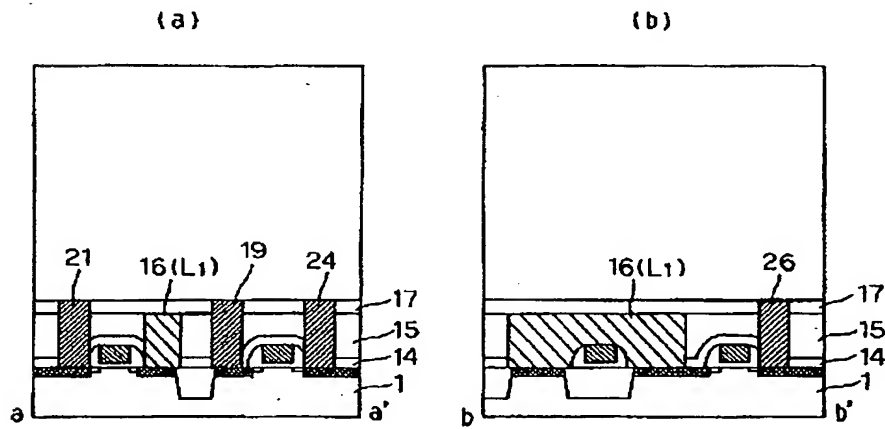
(b)



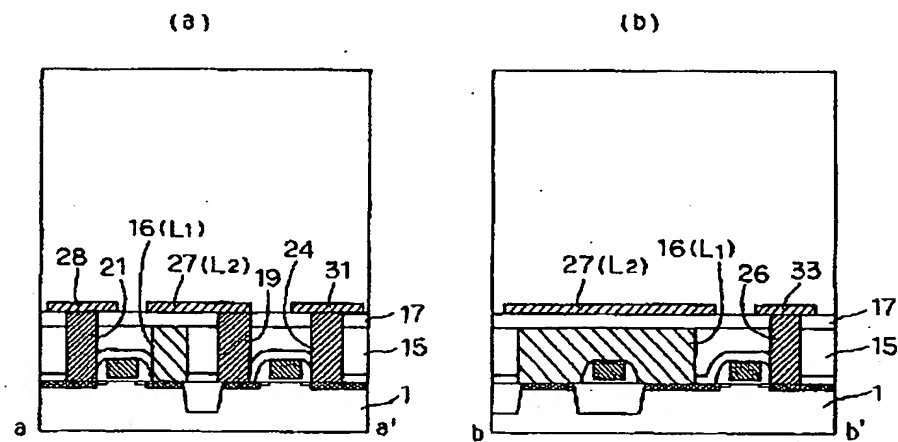
【図14】



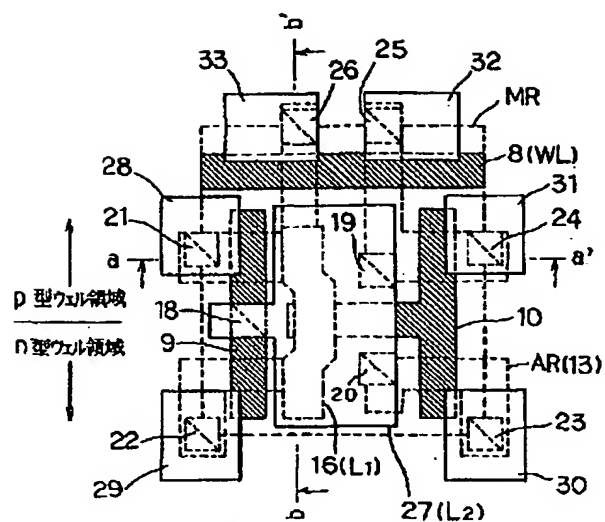
【図16】



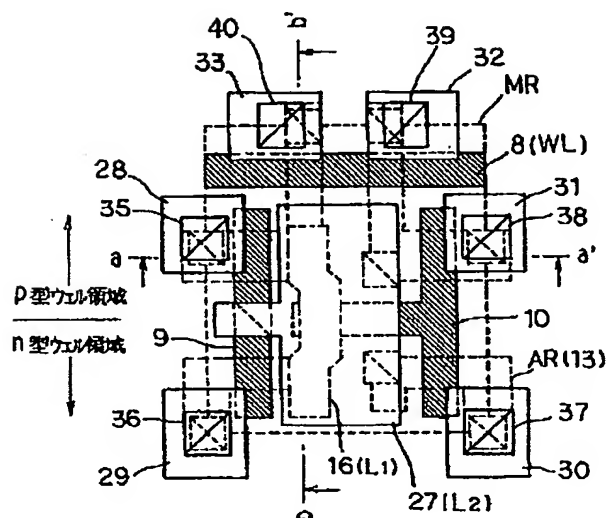
【図18】



【図17】

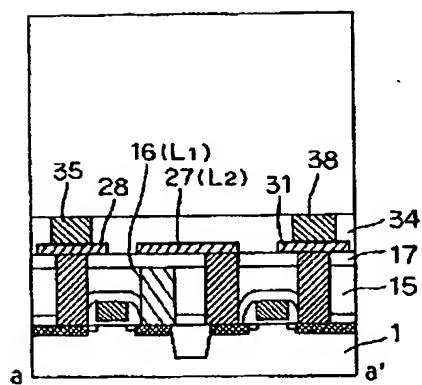


【図19】

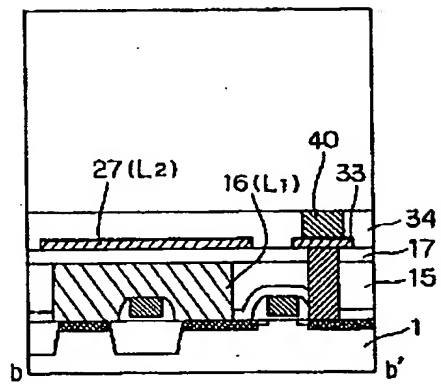


【図20】

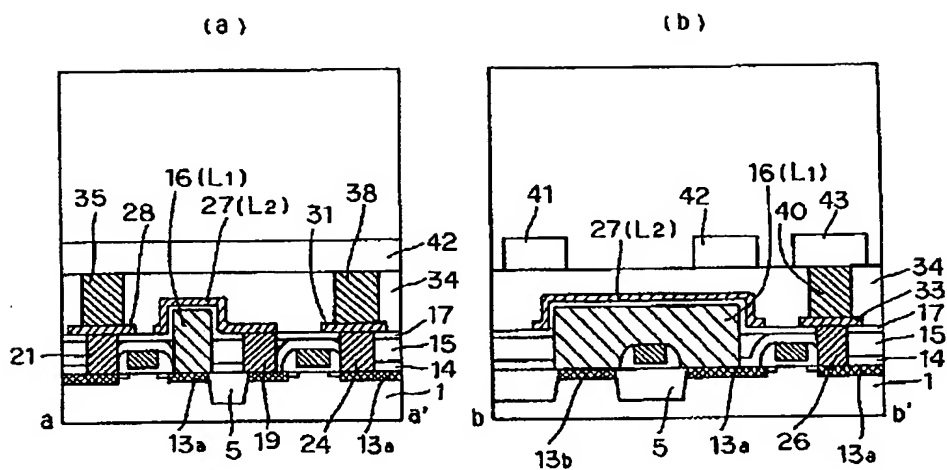
(a)



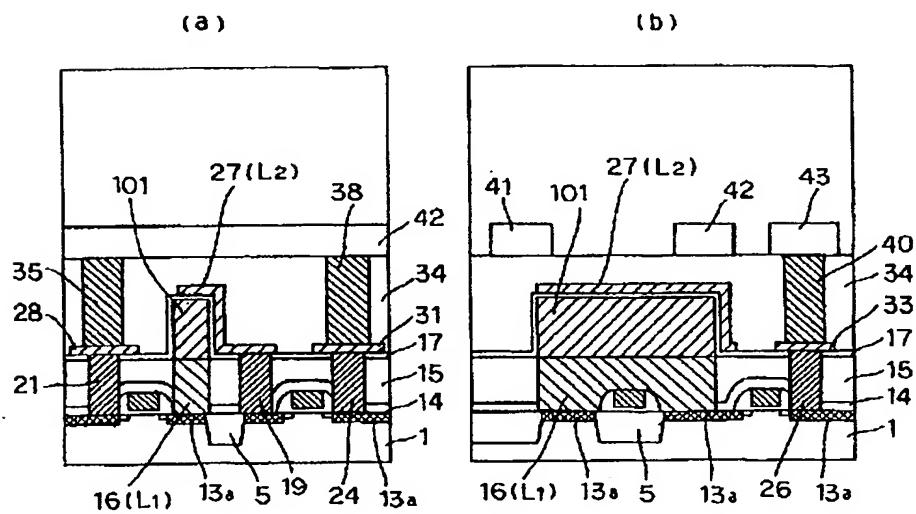
(b)



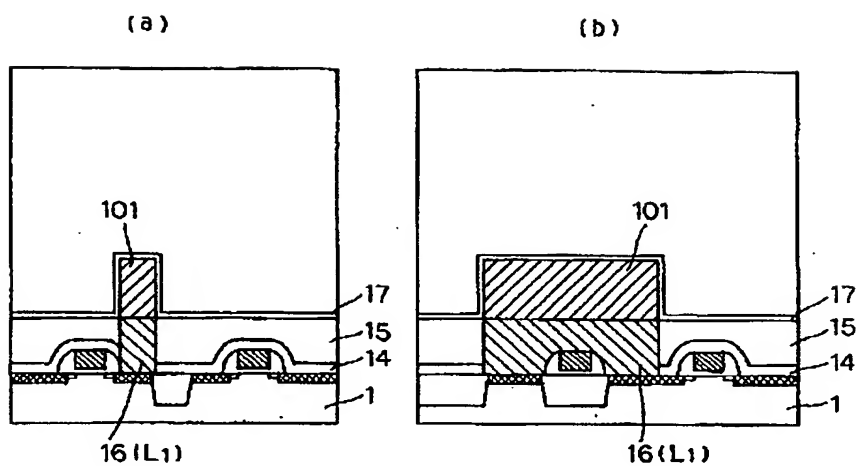
【図21】



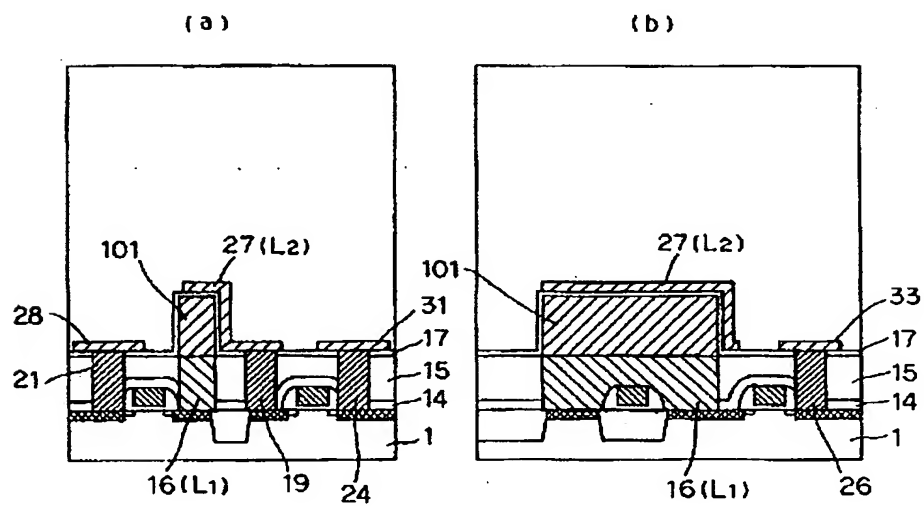
【図23】



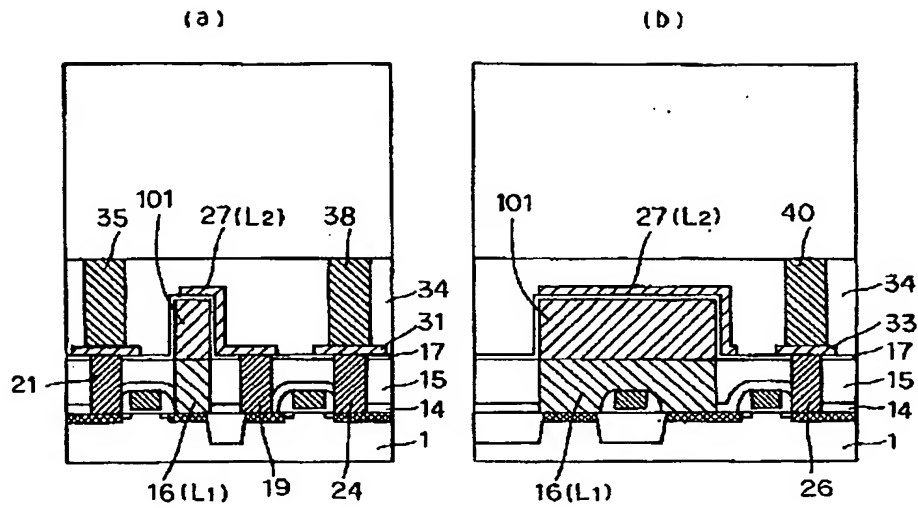
【図24】



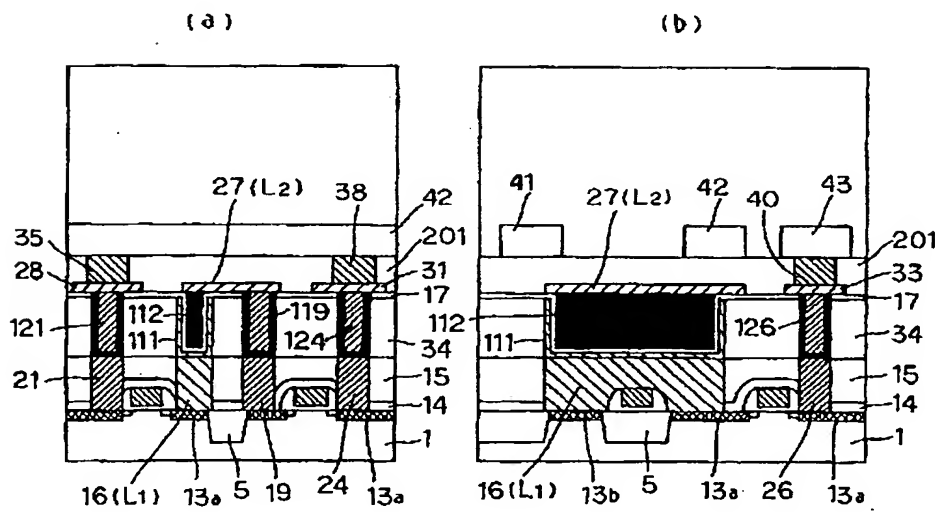
【図25】



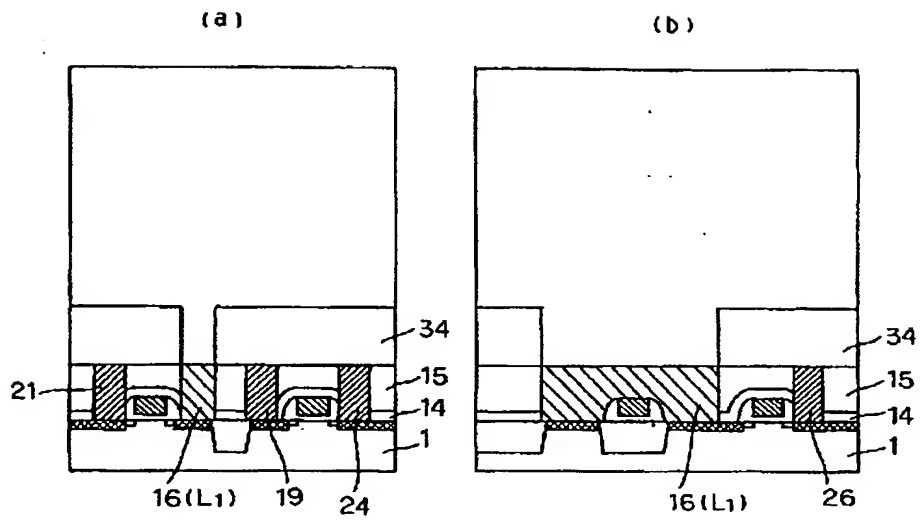
【図26】



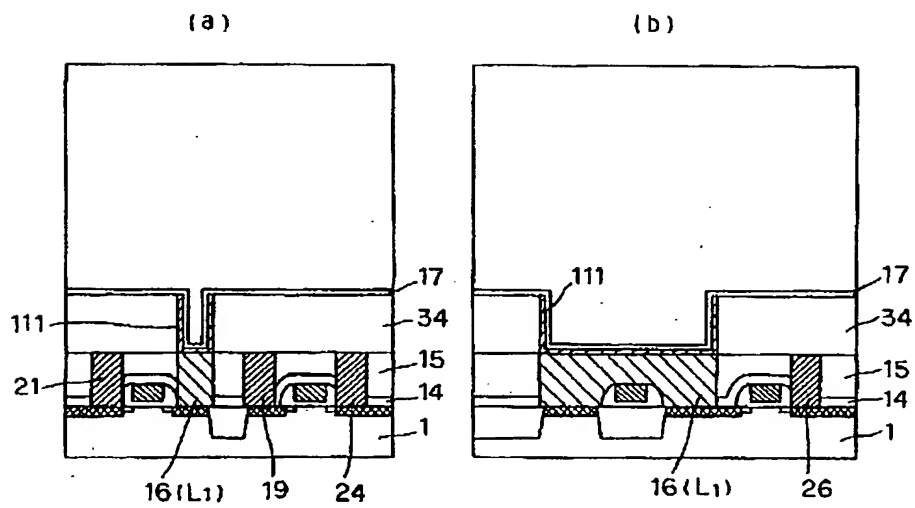
【図27】



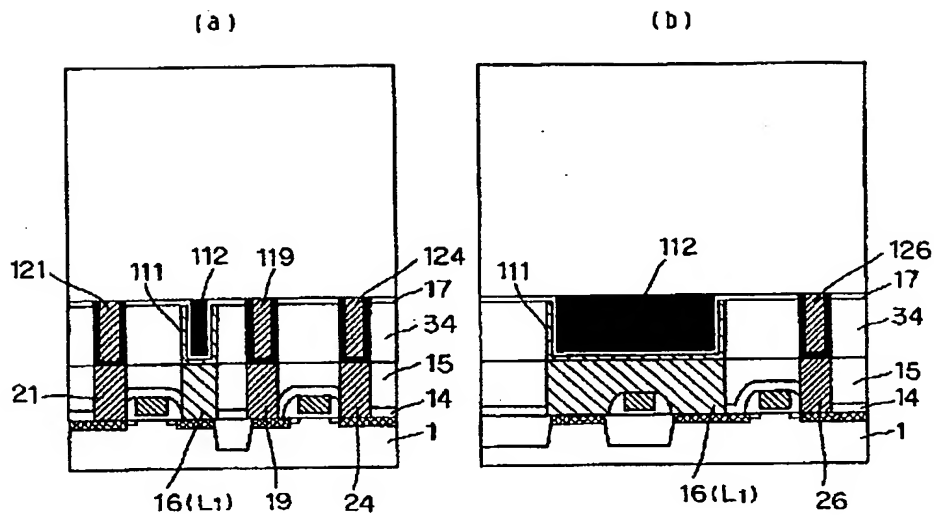
【図28】



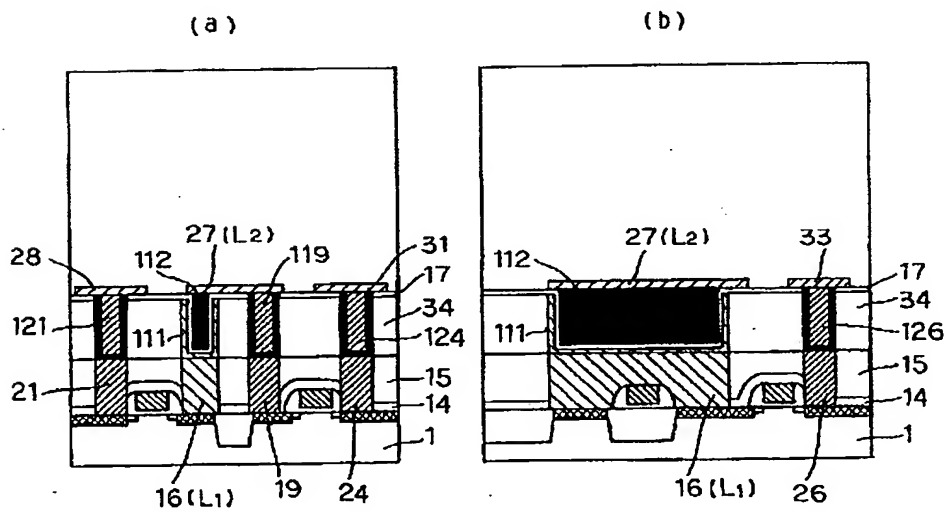
【図29】



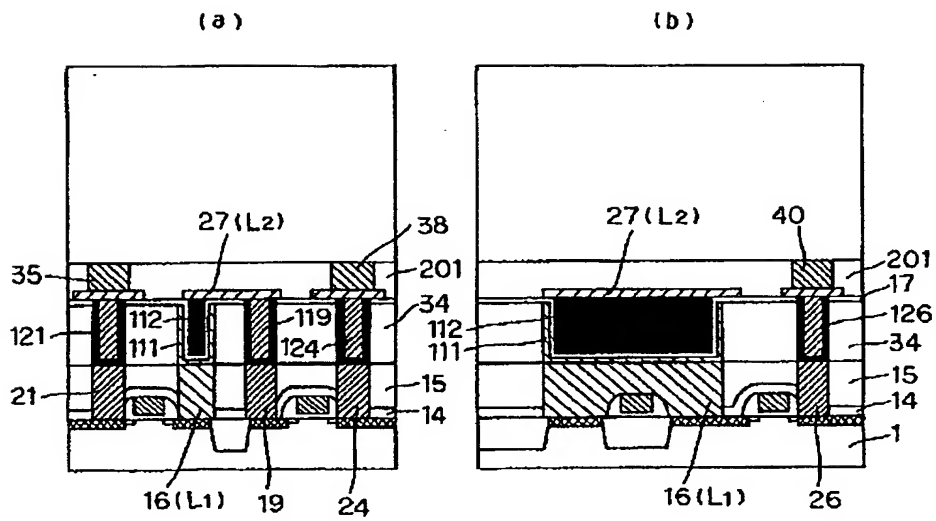
【図30】



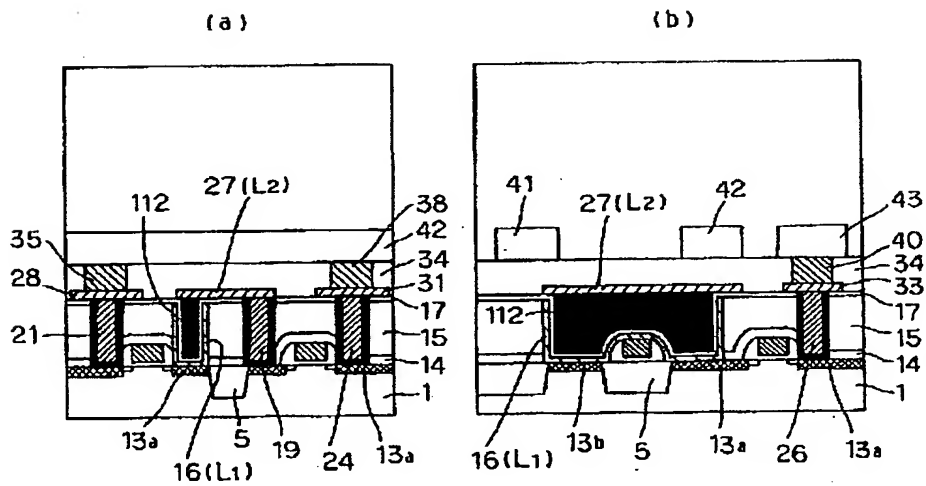
【図31】



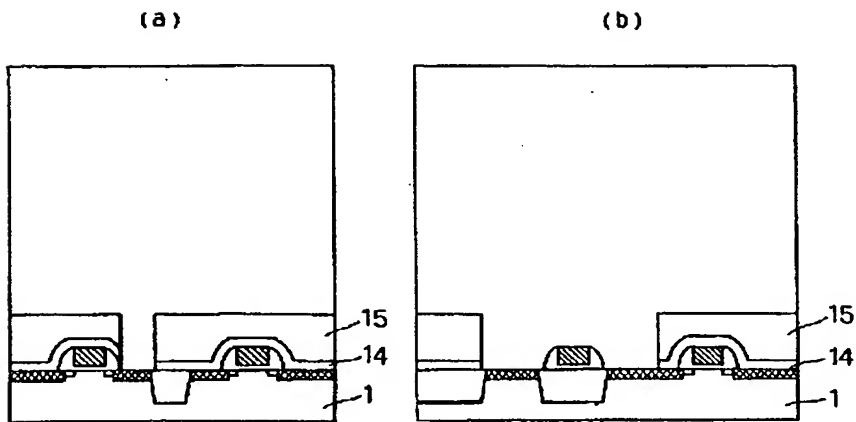
【図32】



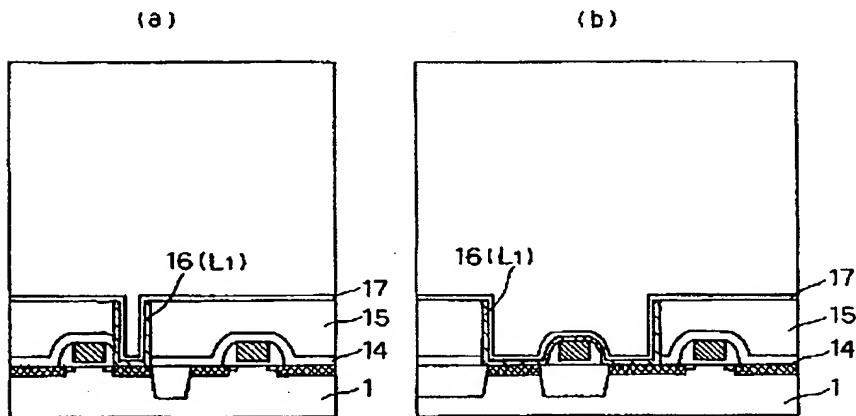
【図33】



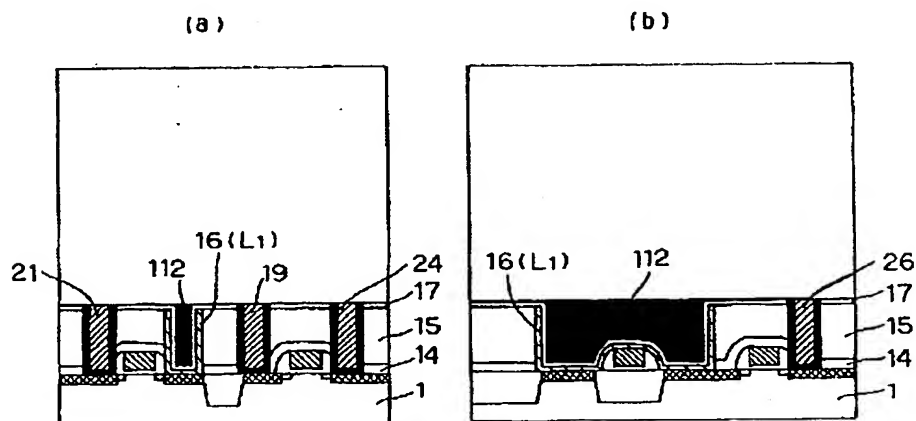
【図34】



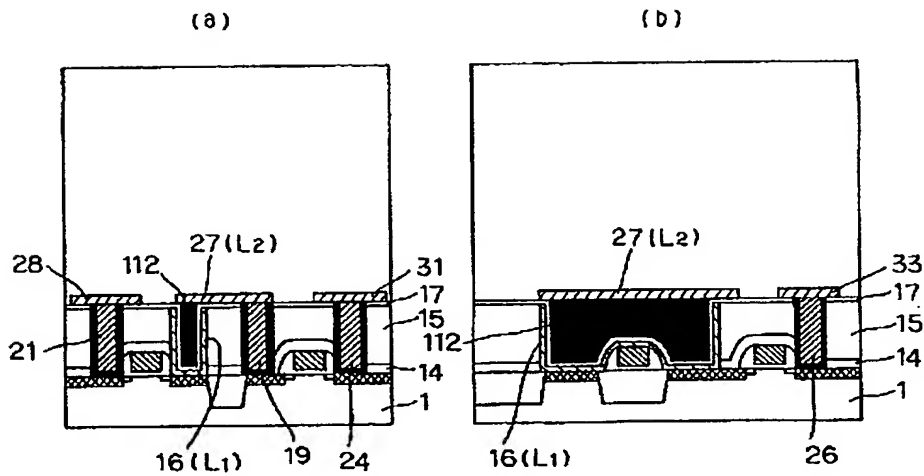
【図35】



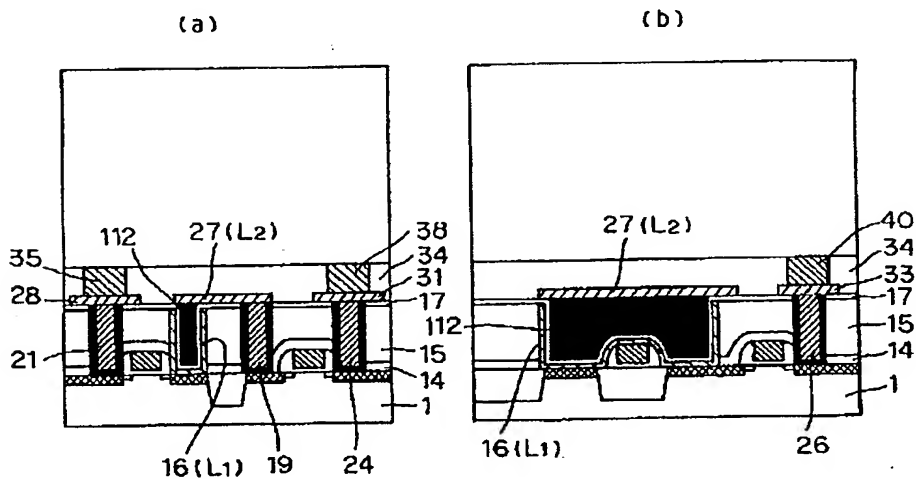
【図36】



【図37】



【図38】



フロントページの続き

Fターム(参考) 5F083 BS05 BS17 BS27 BS38 BS46
 BS48 GA09 GA18 JA06 JA19
 JA35 JA36 JA39 JA40 JA53
 JA56 KA15 KA16 LA01 MA04
 MA06 MA16 MA19 MA20 NA01
 PR39 PR40

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.